

BEST AVAILABLE COPY

10/530993 #2
Rec'd PTO 12 APR 2005
JP 2004/000181

日 本 国 特 許 庁
JAPAN PATENT OFFICE

14. 1. 2004

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2003年 1月14日

REC'D 27 FEB 2004

出 願 番 号
Application Number: 特願2003-006171

WIPO PCT

[ST. 10/C]: [JP 2003-006171]

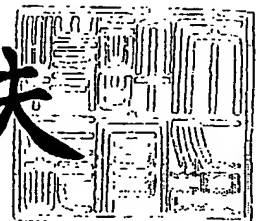
出 願 人
Applicant(s): 松下電器産業株式会社

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2004年 2月13日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2004-3008961

【書類名】 特許願

【整理番号】 2908145905

【提出日】 平成15年 1月14日

【あて先】 特許庁長官殿

【国際特許分類】 H03G 1/00

【発明者】

【住所又は居所】 神奈川県横浜市港北区綱島東四丁目3番1号 パナソニック モバイルコミュニケーションズ株式会社内

【氏名】 宇田川 昌治

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100105647

【弁理士】

【氏名又は名称】 小栗 昌平

【電話番号】 03-5561-3990

【選任した代理人】

【識別番号】 100105474

【弁理士】

【氏名又は名称】 本多 弘徳

【電話番号】 03-5561-3990

【選任した代理人】

【識別番号】 100108589

【弁理士】

【氏名又は名称】 市川 利光

【電話番号】 03-5561-3990

【選任した代理人】

【識別番号】 100115107

【弁理士】

【氏名又は名称】 高松 猛

【電話番号】 03-5561-3990

【選任した代理人】

【識別番号】 100090343

【弁理士】

【氏名又は名称】 栗宇 百合子

【電話番号】 03-5561-3990

【手数料の表示】

【予納台帳番号】 092740

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0002926

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 可変利得増幅回路及び無線通信装置

【特許請求の範囲】

【請求項 1】 バイポーラトランジスタを用いた電圧利得の異なる複数のエミッタ接地の増幅回路と、

前記複数の増幅回路を選択するスイッチ手段とを備え、

前記バイポーラトランジスタのベースを共通接続すると共に、前記バイポーラトランジスタのエミッタ側のそれぞれに前記スイッチ手段を接続した可変利得増幅回路。

【請求項 2】 バイポーラトランジスタを用いた電圧利得の異なる複数のエミッタ接地ーベース接地のカスケード接続からなる増幅回路と、

前記複数の増幅回路を選択するスイッチ手段とを備え、

前記エミッタ接地のバイポーラトランジスタのベースを共通接続すると共に、前記バイポーラトランジスタのエミッタ側のそれぞれに前記スイッチ手段を接続した可変利得増幅回路。

【請求項 3】 前記複数の増幅回路の相互間で、コレクタ電流の比がエミッタ抵抗の比に反比例する請求項 1 又は 2 に記載の可変利得増幅回路。

【請求項 4】 前記複数の増幅回路におけるエミッタ接地のトランジスタの相互間で、エミッタ面積の比がエミッタ抵抗の比に反比例する請求項 1～3 のいずれかに記載の可変利得増幅回路。

【請求項 5】 前記複数の増幅回路におけるエミッタ接地のトランジスタの相互間で、エミッタ面積の比が 2 のべき乗となる請求項 1～4 のいずれかに記載の可変利得増幅回路。

【請求項 6】 前記複数の増幅回路の相互間で、エミッタ抵抗の比が 2 のべき乗となる請求項 1～5 のいずれかに記載の可変利得増幅回路。

【請求項 7】 電界効果トランジスタを用いた電圧利得の異なる複数のソース接地の増幅回路と、

前記複数の増幅回路を選択するスイッチ手段とを備え、

前記電界効果トランジスタのゲートを共通接続すると共に、前記電界効果トラ

ンジスタのソース側のそれぞれに前記スイッチ手段を接続した可変利得増幅回路。

【請求項 8】 電界効果トランジスタを用いた電圧利得の異なる複数のソース接地－ゲート接地のカスケード接続からなる増幅回路と、

前記複数の増幅回路を選択するスイッチ手段とを備え、

前記ソース接地の電界効果トランジスタのゲートを共通接続すると共に、前記電界効果トランジスタのソース側のそれぞれに前記スイッチ手段を接続した可変利得増幅回路。

【請求項 9】 前記複数の増幅回路の相互間で、ドレイン電流の比がソース抵抗の比に反比例する請求項 7 又は 8 に記載の可変利得増幅回路。

【請求項 10】 前記複数の増幅回路におけるソース接地のトランジスタの相互間で、ゲート幅の比がソース抵抗の比に反比例する請求項 7～9 のいずれかに記載の可変利得増幅回路。

【請求項 11】 前記複数の増幅回路におけるソース接地のトランジスタの相互間で、ゲート幅の比が 2 のべき乗となる請求項 7～10 のいずれかに記載の可変利得増幅回路。

【請求項 12】 前記複数の増幅回路の相互間で、ソース抵抗の比が 2 のべき乗となる請求項 7～11 のいずれかに記載の可変利得増幅回路。

【請求項 13】 前記スイッチ手段が電流源により構成される請求項 1～12 のいずれかに記載の可変利得増幅回路。

【請求項 14】 前記スイッチ手段がトランジスタにより構成される請求項 1～12 のいずれかに記載の可変利得増幅回路。

【請求項 15】 前記スイッチ手段がインバータにより構成される請求項 1～12 のいずれかに記載の可変利得増幅回路。

【請求項 16】 前記複数の増幅回路のそれぞれに対応する複数のバイアス回路を有する請求項 1～15 のいずれかに記載の可変利得増幅回路。

【請求項 17】 デジタル信号を入力してデコードするデコード手段であって、入力されるデジタル信号に応じた出力によって前記複数の増幅回路のいずれか 1 つを選択するデコーダを有する請求項 1～16 のいずれかに記載の可変

利得増幅回路。

【請求項 18】 デジタル信号を入力してデコードするデコード手段であって、入力されるデジタル信号に応じた出力によって前記複数の増幅回路の任意の組み合わせを選択するデコーダを有する請求項 1～16 のいずれかに記載の可変利得増幅回路。

【請求項 19】 デジタル信号を入力してデコードするデコード手段であって、入力されるデジタル信号に応じた出力によって前記複数の増幅回路のいずれか 1 つを選択する第 1 のデコーダと、入力されるデジタル信号に応じた出力によって前記複数の増幅回路の任意の組み合わせを選択する第 2 のデコーダとを有する請求項 1～16 のいずれかに記載の可変利得増幅回路。

【請求項 20】 請求項 1～19 のいずれかに記載の可変利得増幅回路を増幅回路として備えた無線通信装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、可変利得増幅回路及びこれを備えた無線通信装置に関する。

【0002】

【従来の技術】

従来の可変利得増幅回路の例を図 32～図 34 に示す。図 32 に示す第 1 の従来例の可変利得増幅回路は、バイポーラトランジスタ Q1、Q2 からなる一組のエミッタ接地増幅回路と、バイポーラトランジスタ Q3 と Q4、Q5 と Q6 からなる差動対とを備えた構成である。この構成において、入力信号 V_{in} はバイポーラトランジスタ Q1 と Q2 のベースに入力され、エミッタ接地増幅回路の出力電流は、差動対を構成するバイポーラトランジスタ Q3～Q6 のベースに入力される利得制御電圧 V_{gc} に従って分流される。この可変利得増幅回路の電圧利得 A_{v2} は、理想的なバイポーラトランジスタを仮定すると、次の式 1a で表され、利得制御電圧 V_{gc} に従って制御される。

【0003】

$$A_{v2} = g_{m2} \cdot Z_L \cdot \exp(V_{gc}/V_t) / (\exp(V_{gc}/V_t) + 1) \quad \cdots (1a)$$

但し、 g_{m2} は次の式 1 b で表される。

$$g_{m2} = 1 / ((V_t / I_0) + (R_e)) \quad \cdots (1 b)$$

また、 V_t は、熱電圧（室温で約 26 mV）である（例えば、非特許文献 1 参照）。

【0004】

図 3 3 に示す第 2 の従来例の可変利得増幅回路は、バイポーラトランジスタ Q 3、Q 4 を定電流源として用い、利得制御電圧 V_{gc} に従ってコレクタ電流 I_0 を変えることにより、バイポーラトランジスタ Q 1、Q 2 からなる一組のエミッタ接地増幅回路の利得を制御する構成となっている。この可変利得増幅回路の電圧利得 A_{v3} は、理想的なバイポーラトランジスタを仮定して、次の式 2 a で表され、利得制御電圧 V_{gc} に従って制御される。

【0005】

$$A_{v3} = g_{m3} \cdot Z_L \quad \cdots (2 a)$$

但し、 g_{m3} 、 V_{gc} は次の式 2 b、2 c で表される。

$$g_{m3} = 1 / ((V_t / I_0) + (R_e)) \quad \cdots (2 b)$$

$$R_e \cdot I_0 + V_t \cdot \log(I_0 / I_s) = V_{gc} \quad \cdots (2 c)$$

ここで、 I_s はバイポーラトランジスタ Q 3、Q 4 の飽和電流であり、 $\log()$ は自然対数関数を表す（例えば、特許文献 1 参照）。

【0006】

また、図 3 4 に示す第 3 の従来例の可変利得増幅回路は、図 3 3 に示した第 2 の従来例と構成が同じであり、コレクタ電流 I_0 を変えて電圧利得 A_{v4} を制御する点も同様であるが、コレクタ電流 I_0 の変え方が異なる。この可変利得増幅回路の電圧利得 A_{v4} は、次の式 3 a で表される。

【0007】

$$A_{v4} = g_{m4} \cdot Z_L \quad \cdots (3 a)$$

但し、 g_{m4} は次の式 3 b によって表され、コレクタ電流 I_0 によって電圧利得 A_{v4} を制御することができる（例えば、特許文献 2 参照）。

$$g_{m4} = 1 / ((V_t / I_0) + (R_e)) \quad \cdots (3 b)$$

【0008】

【非特許文献 1】

Robert G. Meyer, and William D. Mack, 「A DC to 1-GHz Differential Monolithic Variable-Gain Amplifier」, IEEE Journal of Solid-State Circuits, 1991年11月, 第26巻, 第11号, p.1673-1680 (Fig.2)

【特許文献 1】

特表平 10-503917 号公報 (図 1)

【特許文献 2】

実開平 01-179620 号公報 (図 1)

【0009】

【発明が解決しようとする課題】

しかしながら、図 32 に示した第 1 の従来例の可変利得増幅回路は、式 1 a 及び式 1 b から分かるように、利得制御電圧 V_{gc} によらず常に一定のコレクタ電流 I_0 を消費する。一方、歪み特性の一つである 3 次相互変調歪みの希望波に対する抑圧比 $IM3$ は、理想的なバイポーラトランジスタを仮定すると、次の式 4 で表すことができる。

【0010】

$$IM3 = (3/4) \cdot |(V_t / (I_0^3) \cdot (2 \cdot Re - (V_t / I_0))) / ((Re + (V_t / I_0))^4) | \cdot (V_{in}^2) \quad \dots (4)$$

ここで、 $||$ は絶対値を表す。また、ここでは簡単のため、差動増幅回路の中点接地の考え方が成り立つという近似を使った。大信号になると一般にこの近似からずれてくるので、 $IM3$ はさらに劣化する。

【0011】

この式 4 から分かるように、コレクタ電流 I_0 は歪み特性で律則され、抑圧比 $IM3$ を良好に保つためには比較的大きなコレクタ電流が必要である。ここで、図 35 (a), (b) に、上記式 1 a, 1 b 及び式 4 から算出した、制御電圧 V_{gc} を変えて電圧利得 A_v (式において A_{v2}) を制御した場合の電圧利得 A_v に対する抑圧比 $IM3$ とコレクタ電流 I_0 との関係を示す。この図において、抑圧比 $IM3$ 及び電圧利得 A_v は、真数ではなく dB c 単位、又は dB 単位の数値で表している。このように、第 1 の従来例の可変利得増幅回路は、電圧利得によらず常に

比較的大きな電流を消費し、電圧利得を下げても電流が減少しないという問題があった。

【0012】

これに対して、図33に示した第2の従来例、及び図34に示した第3の従来例の可変利得増幅回路は、式2a, 2b及び式3a, 3bから分かるように、電圧利得を下げたときにコレクタ電流が減少する。一方、抑圧比IM3は、式4と同じになり、理想的なバイポーラトランジスタを仮定すると、次の式5で表すことができる。

【0013】

$$IM3 = (3/4) \cdot \{ (V_t / (I_0^3)) \cdot (2 \cdot Re - (V_t / I_0)) \} / ((Re + (V_t / I_0))^4) \cdot (V_{in}^2) \quad \dots (5)$$

ここでも簡単のため、差動増幅回路の midpoint 接地の考え方が成り立つという近似を使った。大信号になると一般にこの近似からずれてくるので、IM3はさらに劣化する。

【0014】

式5から分かることは、これらの第2及び第3の従来例の可変利得増幅回路は、電圧利得Av（式においてAv3又はAv4）を下げる際にコレクタ電流I0が減少するので、 $2 \cdot Re = (V_t / I_0)$ となる特異点を除いて抑圧比IM3が劣化するという問題がある。図36(a), (b)に、上記式2a, 2b又は3a, 3b及び式5から算出した、制御電圧Vgc又はコレクタ電流I0を変えて電圧利得Avを制御した場合の電圧利得Avに対する抑圧比IM3とコレクタ電流I0との関係を示す。

【0015】

本発明は、上記課題を解決するためになされたもので、その目的は、電圧利得を下げたときに電流が減少し、かつ抑圧比で代表される歪み特性の劣化が実質的に無い優れた可変利得増幅回路及びこれを備えた無線通信装置を提供することにある。

【0016】

【課題を解決するための手段】

本発明に係る可変利得増幅回路は、バイポーラトランジスタを用いた電圧利得の異なる複数のエミッタ接地の増幅回路と、前記複数の増幅回路を選択するスイッチ手段とを備え、前記バイポーラトランジスタのベースを共通接続すると共に、前記バイポーラトランジスタのエミッタ側のそれぞれに前記スイッチ手段を接続したものである。

【0017】

上記構成によれば、電圧利得を下げたときに電流が減り、かつ抑圧比で代表される歪み特性の劣化を実質的に無くすることが可能となる。

【0018】

本発明に係る可変利得増幅回路は、バイポーラトランジスタを用いた電圧利得の異なる複数のエミッタ接地ーベース接地のカスケード接続からなる増幅回路と、前記複数の増幅回路を選択するスイッチ手段とを備え、前記エミッタ接地のバイポーラトランジスタのベースを共通接続すると共に、前記バイポーラトランジスタのエミッタ側のそれぞれに前記スイッチ手段を接続したものである。

【0019】

上記構成によれば、電圧利得を下げたときに電流が減り、かつ抑圧比で代表される歪み特性の劣化を実質的に無くすることができる効果に加えて、利得制御のダイナミックレンジを広げることが可能となる。

【0020】

また、上記いずれかの可変利得増幅回路において、前記複数の増幅回路の相互間で、コレクタ電流の比がエミッタ抵抗の比に反比例するものとする。

【0021】

上記構成により、コレクタ電流の比がエミッタ抵抗の比に反比例、すなわちコレクタ電流の比とエミッタ抵抗の逆数の比とを等しくすることによって、電圧利得の異なる複数の増幅回路をスイッチ手段で選択して切り替えることで、電圧利得を下げたときに電流が減り、かつ歪み特性の劣化を実質的に無くすることが可能となる。また、エミッタ抵抗として同相のエミッタ抵抗を追加すれば、外部からの耐ノイズ性を強化することが可能である。

【0022】

また、上記いずれかの可変利得増幅回路において、前記複数の増幅回路におけるエミッタ接地のトランジスタの相互間で、エミッタ面積の比がエミッタ抵抗の比に反比例するものとする。

【0023】

上記構成により、エミッタ面積の比がエミッタ抵抗の比に反比例、すなわちエミッタ面積の比とエミッタ抵抗の逆数の比とを等しくすることによって、電圧利得の異なる複数の増幅回路をスイッチ手段で選択して切り替えることで、電圧利得を下げたときに電流が減り、かつ歪み特性の劣化を実質的に無くすることが可能となる。

【0024】

また、上記いずれかの可変利得増幅回路において、前記複数の増幅回路におけるエミッタ接地のトランジスタの相互間で、エミッタ面積の比が2のべき乗となるものとする。

【0025】

上記構成により、素子の物理的な形状を考えた際にエミッタ面積比を精度良く実現し易くなる。例えば、可変利得増幅回路をIC又はLSIとしてマスクレイアウトする場合に、同じ形状のバイポーラトランジスタを2個並列に接続することによって、エミッタ面積を精度良く2倍にすることが可能である。

【0026】

また、上記いずれかの可変利得増幅回路において、前記複数の増幅回路の相互間で、エミッタ抵抗の比が2のべき乗となるものとする。

【0027】

上記構成により、素子の物理的な形状を考えた際にエミッタ抵抗の比を精度良く実現し易くなる。例えば、可変利得増幅回路をIC又はLSIとしてマスクレイアウトする場合に、同じ形状の抵抗素子を2個並列に接続することによって、抵抗値を精度良く1/2にすることが可能である。

【0028】

本発明に係る可変利得増幅回路は、電界効果トランジスタを用いた電圧利得の異なる複数のソース接地の増幅回路と、前記複数の増幅回路を選択するスイッチ

手段とを備え、前記電界効果トランジスタのゲートを共通接続すると共に、前記電界効果トランジスタのソース側のそれぞれに前記スイッチ手段を接続したものである。

【0029】

上記構成によれば、電圧利得を下げたときに電流が減り、かつ抑圧比で代表される歪み特性の劣化を実質的に無くすることが可能となる。また、電界効果トランジスタを用いることにより、より低い電源電圧で回路を動作させることが可能となる。

【0030】

本発明に係る可変利得増幅回路は、電界効果トランジスタを用いた電圧利得の異なる複数のソース接地ーゲート接地のカスケード接続からなる増幅回路と、前記複数の増幅回路を選択するスイッチ手段とを備え、前記ソース接地の電界効果トランジスタのゲートを共通接続すると共に、前記電界効果トランジスタのソース側のそれぞれに前記スイッチ手段を接続したものである。

【0031】

上記構成によれば、電圧利得を下げたときに電流が減り、かつ抑圧比で代表される歪み特性の劣化を実質的に無くすることができる効果に加えて、利得制御のダイナミックレンジを広げることが可能となる。また、電界効果トランジスタを用いることにより、より低い電源電圧で回路を動作させることが可能となる。

【0032】

また、上記いずれかの可変利得増幅回路において、前記複数の増幅回路の相互間で、ドレイン電流の比がソース抵抗の比に反比例するものとする。

【0033】

上記構成により、ドレイン電流の比がソース抵抗の比に反比例、すなわちドレイン電流の比とソース抵抗の逆数の比とを等しくすることによって、電圧利得の異なる複数の増幅回路をスイッチ手段で選択して切り替えることで、電圧利得を下げたときに電流が減り、かつ歪み特性の劣化を実質的に無くすることが可能となる。また、ソース抵抗として同相のソース抵抗を追加すれば、外部からの耐ノイズ性を強化することが可能である。

【0034】

また、上記いずれかの可変利得増幅回路において、前記複数の増幅回路におけるソース接地のトランジスタの相互間で、ゲート幅の比がソース抵抗の比に反比例するものとする。

【0035】

上記構成により、ゲート幅の比がソース抵抗の比に反比例、すなわちゲート幅の比とソース抵抗の逆数の比とを等しくすることによって、電圧利得の異なる複数の増幅回路をスイッチ手段で選択して切り替えることで、電圧利得を下げたときに電流が減り、かつ歪み特性の劣化を実質的に無くすることが可能となる。

【0036】

また、上記いずれかの可変利得増幅回路において、前記複数の増幅回路におけるソース接地のトランジスタの相互間で、ゲート幅の比が2のべき乗となるものとする。

【0037】

上記構成により、素子の物理的な形状を考えた際にゲート幅の比を精度良く実現し易くなる。例えば、可変利得増幅回路をIC又はLSIとしてマスクレイアウトする場合に、同じ形状のMOSトランジスタを2個並列に接続することによって、ゲート幅を精度良く2倍にすることが可能である。

【0038】

また、上記いずれかの可変利得増幅回路において、前記複数の増幅回路の相互間で、ソース抵抗の比が2のべき乗となるものとする。

【0039】

上記構成により、素子の物理的な形状を考えた際にソース抵抗の比を精度良く実現し易くなる。例えば、可変利得増幅回路をIC又はLSIとしてマスクレイアウトする場合に、同じ形状の抵抗素子を2個並列に接続することによって、抵抗値を精度良く1/2にすることが可能である。

【0040】

また、上記いずれかの可変利得増幅回路において、前記スイッチ手段が電流源により構成されるものとする。

【0041】

上記構成により、電流源によって複数の増幅回路のコレクタ電流またはドレイン電流をそれぞれ設定し、外部制御信号により切り替えることで、電圧利得の異なる複数の増幅回路を選択して電圧利得を制御できるため、電圧利得を下げたときに電流が減り、かつ歪み特性の劣化を実質的に無くすることができる。

【0042】

また、上記いずれかの可変利得増幅回路において、前記スイッチ手段がトランジスタにより構成されるものとする。

【0043】

上記構成により、トランジスタのスイッチ手段によって電圧利得の異なる複数の増幅回路を選択する際、選択するものは増幅回路のエミッタまたはソース側を接地電位にし、選択しないものについてはエミッタまたはソース側を開放することによって切り替えることで、電圧利得を制御できる。これにより、電圧利得を下げたときに電流が減り、かつ歪み特性の劣化を実質的に無くすることができる。また、トランジスタのオン抵抗がなるべく小さくなるようにするか、或いは、オン抵抗の比をエミッタ抵抗またはソース抵抗の比と同じにすることにより、電圧利得をより精度良く制御することが可能である。また、トランジスタを用いることで回路のLSI化が容易になる。

【0044】

また、上記いずれかの可変利得増幅回路において、前記スイッチ手段がインバータにより構成されるものとする。

【0045】

上記構成により、インバータのスイッチ手段によって電圧利得の異なる複数の増幅回路を選択する際、選択しないものについてはエミッタまたはソース側を正の電源電圧の電位にして切り替えることで、電圧利得を制御できる。これにより、電圧利得を下げたときに電流が減り、かつ歪み特性の劣化を実質的に無くすることができる。また、インバータを用いることで回路のLSI化が容易になる。

【0046】

また、上記いずれかの可変利得増幅回路において、前記複数の増幅回路のそれ

それぞれに対応する複数のバイアス回路を有するものとする。

【0047】

上記構成により、バイアス回路を設けることによって、電圧利得を制御する際のコレクタ電流またはドレイン電流の比を正確に実現することが可能となる。

【0048】

また、上記いずれかの可変利得増幅回路において、デジタル信号を入力してデコードするデコード手段であって、入力されるデジタル信号に応じた出力によって前記複数の増幅回路のいずれか1つを選択するデコーダを有するものとする。

【0049】

上記構成により、デコーダを用いることによって、デコーダへの入力信号の値に応じて所定量の単位ごとに可変利得増幅回路の電圧利得を制御することが可能となる。

【0050】

また、上記いずれかの可変利得増幅回路において、デジタル信号を入力してデコードするデコード手段であって、入力されるデジタル信号に応じた出力によって前記複数の増幅回路の任意の組み合わせを選択するデコーダを有するものとする。

【0051】

上記構成により、デコーダを用いることによって、デコーダへの入力信号の値に応じて所定範囲においてこれよりも細かい所定単位ごとに可変利得増幅回路の電圧利得を制御することが可能となる。

【0052】

また、上記いずれかの可変利得増幅回路において、デジタル信号を入力してデコードするデコード手段であって、入力されるデジタル信号に応じた出力によって前記複数の増幅回路のいずれか1つを選択する第1のデコーダと、入力されるデジタル信号に応じた出力によって前記複数の増幅回路の任意の組み合わせを選択する第2のデコーダとを有するものとする。

【0053】

上記構成により、例えば第1のデコーダを用いた可変利得増幅回路と第2のデコーダを用いた可変利得増幅回路とを直列接続した構成とすることによって、デコーダへの入力信号の値に応じて所望の範囲において所定単位ごとに細かく可変利得増幅回路の電圧利得を制御することが可能となる。

【0054】

また、本発明は、上記いずれかに記載の可変利得増幅回路を増幅回路として備えた無線通信装置を提供する。

【0055】

上記構成により、無線回路において電圧利得を下げたときに電流が低減し、かつ歪み特性の劣化が実質的にない無線通信装置を実現することが可能となる。

【0056】

【発明の実施の形態】

以下、図面を参照して本発明の実施形態を説明する。

〔第1実施形態〕

図1は本発明の第1実施形態に係る可変利得増幅回路の構成を示す回路図である。

【0057】

第1実施形態の可変利得増幅回路は、複数のエミッタ接地増幅回路を構成するバイポーラトランジスタQ1、Q3、Q5のベースとQ2、Q4、Q6のベースをそれぞれ共通に接続すると共に、バイポーラトランジスタQ1、Q2のエミッタ側にスイッチSW2を接続し、以下同様にバイポーラトランジスタQ3、Q4及びQ5、Q6の各エミッタ側にそれぞれSW1、SW0を接続して構成される。このスイッチSW2、SW1、SW0により、エミッタ接地増幅回路を選択可能となっている。

【0058】

図1の構成において、外部からの制御信号によってスイッチSW2、SW1、SW0のオンオフを切り替えて、バイポーラトランジスタ対のいずれかのエミッタ側を接地電位gndにすると、そのバイポーラトランジスタ対はエミッタ接地増幅回路として動作し、エミッタ側を接地電位gndにしない場合は、コレクタ

電流が流れないので増幅回路として動作しない。このようにしてスイッチ SW2、SW1、SW0を切り替えることにより、電圧利得の異なる増幅回路を選択すれば、電圧利得を制御することが可能である。

【0059】

本実施形態では、エミッタ接地増幅回路を構成する各バイポーラトランジスタの間でエミッタ面積の比を2のべき乗とし、かつそれぞれのエミッタ抵抗の抵抗値 R_{e0} 、 R_{e1} 、 R_{e2} の比をバイポーラトランジスタのエミッタ面積の比に反比例するようにしている。すなわち、以下の式 6a、6b の関係を満たすようにする。

【0060】

$$I_{s5} = I_{s3} / 2 = I_{s1} / 4 \quad \cdots (6a)$$

$$R_{e0} / 4 = R_{e1} / 2 = R_{e2} \quad \cdots (6b)$$

【0061】

バイポーラトランジスタの間でエミッタ面積比を2のべき乗にしたのは、素子の物理的な形状を考えた際に面積比を精度良く実現し易いとの理由による。例えば、本実施形態の回路を IC 又は LSI としてマスクレイアウトする場合に、同じ形状の抵抗素子又はバイポーラトランジスタを2個並列に接続することによって、それぞれ抵抗値を精度良く $1/2$ にしたり、エミッタ面積を精度良く2倍にすることができる。また、好ましくは、エミッタ抵抗の比についても2のべき乗となるよう構成する。ここで、バイポーラトランジスタのエミッタ面積の比を2のべき乗でなく任意の比にしても、それぞれのエミッタ抵抗値の比をバイポーラトランジスタのエミッタ面積の比に反比例するようにすれば、同様な回路動作が可能である。

【0062】

また、ここでは簡単のためにバイポーラトランジスタ Q1、Q2 などのベースバイアス電圧を一定とすると、コレクタ電流 I_0 の比も2のべき乗になる。すなわち、各バイポーラトランジスタによる増幅回路のコレクタ電流の比がエミッタ抵抗の比に反比例するようになる。さらに、スイッチ SW0、SW1、SW2 のうち1つだけを接地電位 gnd にした状態を、それぞれゲイン状態として $gain_s$

tateが0、1、2であると定義する。図1では、3個のスイッチを有して3ビット構成とした例を示しているが、ビット数を増減しても基本的な動作に変わりはない。

【0063】

この第1実施形態の可変利得増幅回路の電圧利得 A_{v1} は、理想的なバイポーラトランジスタを仮定すると、次の式7aで表されるようにゲイン状態 $gain_state$ に従って制御することができる。

【0064】

$$A_{v1} = g_{m1} \cdot Z_L \quad \dots (7a)$$

但し、 g_{m1} 、 R_e 、 I_{0} は次の式7b、7c、7dで表される。

$$g_{m1} = 1 / (R_e + (V_t / I_0)) \quad \dots (7b)$$

$$R_e = R_{e5} / (2^{gain_state}) \quad \dots (7c)$$

$$I_0 = I_{c10} \cdot (2^{gain_state}) \quad \dots (7d)$$

ここで、 2^{gain_state} は2の $gain_state$ 乗を表し、 I_{c10} は $gain_state$ が0のときのコレクタ電流 I_0 とする。

【0065】

以上の説明では、簡単のためにバイポーラトランジスタQ1、Q2などのベースのバイアス電圧は一定としたが、ベースのバイアス電圧が一定でなくても、バイアス回路を工夫して、コレクタ電流 I_0 がエミッタ抵抗 R_e に反比例するように変化させれば、同様な利得制御が可能である。

【0066】

図2は第1実施形態の応用例として、上述のコレクタ電流 I_0 の比を正確に実現するためのバイアス回路も含めた可変利得増幅回路の構成例を示す回路図である。

【0067】

この応用例の可変利得増幅回路は、複数のエミッタ接地増幅回路のそれぞれに対応してバイアス回路を設けることにより、ゲイン状態 $gain_state$ によってコレクタ電流 I_0 が変化しても、コレクタ電流 I_0 の比を正確に実現することができる。上記式7a～7dからも分かるように、この可変利得増幅回路は、電圧利得を

下げたときにコレクタ電流が減少する。一方、抑圧比 I_{M3} は、上述した式 3、式 4 と同じになり、理想的なバイポーラトランジスタを仮定すると、次の式 8 で表すことができる。

【0068】

$$I_{M3} = (3/4) \cdot \{ (V_t / (I_0^3) \cdot (2 \cdot R_e - (V_t / I_0)) / ((R_e + (V_t / I_0))^4) \} \cdot (V_{in}^2) \quad \dots (8)$$

ここではスイッチのオン抵抗が無視できれば、中点は完全に接地電位 gnd になっているので、理想的なバイポーラトランジスタの場合には完全に上式に一致する。

【0069】

式 7 c、7 d を式 8 に代入すると、この可変利得増幅回路は、 $gain_state$ を変えても抑圧比 I_{M3} は変わらないことが分かる。すなわち、電圧利得 A_v を下げても抑圧比は一定となる。ここで、図 3 (a), (b) に、上記式 7 a ~ 7 d 及び式 8 から算出した、 $gain_state$ を変えて電圧利得 A_v (式において A_{v1}) を制御した場合の電圧利得 A_v に対する抑圧比 I_{M3} とコレクタ電流 I_0 との関係を示す。

【0070】

以上のように第 1 実施形態によれば、複数のエミッタ接地増幅回路を構成するバイポーラトランジスタ対のベースを共通とし、各エミッタ接地増幅回路を構成するバイポーラトランジスタ対のエミッタ側にそれぞれスイッチを設け、それらのスイッチでエミッタ接地増幅回路を選択することにより、電圧利得を下げたときに電流が減少し、かつ歪み特性の劣化が実質的にない可変利得増幅回路を実現することができる。

【0071】

なお、図 1 の構成では、スイッチ SW_2 、 SW_1 、 SW_0 を切り替えてバイポーラトランジスタのエミッタ側を接地電位 gnd にする構成にしたが、他の変形例も考えられる。図 4 は第 1 実施形態の変形例の構成を示す回路図である。この変形例は、スイッチ SW_2 、 SW_1 、 SW_0 の切り替えによってバイポーラトランジスタのエミッタ側を接地電位 gnd にしないで正の電源電圧 V_{cc} にするよう

にしたものである。このような回路構成にしても同様の効果を得ることができる。

【0072】

[第2実施形態]

図5は本発明の第2実施形態に係る可変利得増幅回路の構成を示す回路図である。

【0073】

第2実施形態の可変利得増幅回路は、図1に示した第1実施形態における差動形式の回路を片相形式にしたものである。この可変利得増幅回路は、複数のエミッタ接地増幅回路を構成するバイポーラトランジスタQ1、Q3、Q5のベースを共通に接続すると共に、各エミッタ側にそれぞれスイッチSW2、SW1、SW0を接続して構成される。

【0074】

回路動作は第1実施形態と同じであり、図5の構成において、スイッチSW2、SW1、SW0を切り替えて、バイポーラトランジスタのいずれかのエミッタ側を接地電位gndにすると、そのバイポーラトランジスタはエミッタ接地増幅回路として動作し、エミッタ側を接地電位gndにしない場合は、コレクタ電流が流れないので増幅回路として動作しない。このようにしてスイッチSW2、SW1、SW0を切り替えることにより、電圧利得の異なる増幅回路を選択すれば、電圧利得を制御することができる。

【0075】

このように第2実施形態によれば、複数のエミッタ接地増幅回路を構成するバイポーラトランジスタのベースを共通とし、各エミッタ接地増幅回路を構成するバイポーラトランジスタのエミッタ側にそれぞれスイッチを設け、それらのスイッチでエミッタ接地増幅回路を選択することにより、電圧利得を下げたときに電流が減少し、かつ歪み特性の劣化が実質的にない可変利得増幅回路を実現することができる。

【0076】

[第3実施形態]

図6は本発明の第3実施形態に係る可変利得増幅回路の構成を示す回路図である。第3実施形態は、上記第1実施形態の構成を一部変更した例である。

【0077】

第3実施形態と第1実施形態との構成上の相違は、各バイポーラトランジスタ対に同相のエミッタ抵抗 $Rec0$ 、 $Rec1$ 、 $Rec2$ を加えたことである。その他は第1実施形態と同様に構成されている。この同相のエミッタ抵抗 $Rec0$ 、 $Rec1$ 、 $Rec2$ の抵抗値比は、エミッタ抵抗 $Re0$ 、 $Re1$ 、 $Re2$ と同様にエミッタ面積比に反比例するように、次の式(6c)の関係を満たすようにする。

【0078】

$$Rec0/4 = Rec1/2 = Rec2 \quad \cdots (6c)$$

【0079】

これによってコレクタ電流の比を一定に保つことができる。また、同相のエミッタ抵抗 $Rec0$ 、 $Rec1$ 、 $Rec2$ を加えることによって、同相信号の電圧利得を小さくできるので、外部からのノイズに対して強くなるという効果が新たに得られる。差動信号の電圧利得とコレクタ電流及び抑圧比の関係は、第1実施形態の場合と同じであり、同様の効果がある。

【0080】

図7は第3実施形態の変形例の構成を示す回路図である。この変形例は、エミッタ抵抗の接続構成が異なるものである。バイポーラトランジスタ $Q1$ 、 $Q2$ などから見たエミッタ抵抗が $Re2$ と $Rec2$ の並列接続の抵抗値に等価であるという見方をすれば、図6の可変利得増幅回路と同様の増幅回路と考えることができる。よって、この変形例においても同様の効果がある。

【0081】

[第4実施形態]

図8及び図9は本発明の第4実施形態に係る可変利得増幅回路の構成を示す回路図である。第4実施形態は、上記第1実施形態の構成を一部変更した例である。

【0082】

第4実施形態と第1実施形態との構成上の相違は、スイッチとして電流源41

、42、43を用いたことである。その他は第1実施形態と同様に構成されている。なお、図8と図9は、エミッタ抵抗 R_{e0} 、 R_{e1} 、 R_{e2} と電流源41、42、43の接続構成を変えた例をそれぞれ示している。この第4実施形態の可変利得増幅回路において、電流源41～43で設定されるコレクタ電流の比を上記式7dのように設定すれば、電圧利得とコレクタ電流及び抑圧比の関係がいずれも第1実施形態と同じになり、同様の効果がある。

【0083】

[第5実施形態]

図10は本発明の第5実施形態に係る可変利得増幅回路の構成を示す回路図である。第5実施形態は、上記第1実施形態の構成を一部変更した例である。

【0084】

第5実施形態と第1実施形態との構成上の相違は、スイッチとしてMOSトランジスタ M_{n0} 、 M_{n1} 、 M_{n2} を用いたことである。その他は第1実施形態と同様に構成されている。この第5実施形態の可変利得増幅回路の構成においても、電圧利得とコレクタ電流及び抑圧比の関係は第1実施形態の場合と同じになり、同様の効果がある。

【0085】

なお、MOSトランジスタが理想的なスイッチと見なせない場合には、MOSトランジスタのゲート幅をなるべく大きくしてオン抵抗がなるべく小さくなるようにするか、或いは、オン抵抗の比をエミッタ抵抗の比と同じにすることにより、電圧利得をより精度良く制御することができる。

【0086】

図11～図13は第5実施形態の変形例の構成を示す回路図である。これらの変形例は、図5～図7に示した第2及び第3実施形態の構成に対応してスイッチとしてMOSトランジスタを用いて置き換えたものであり、いずれにおいても同様の効果がある。

【0087】

[第6実施形態]

図14は本発明の第6実施形態に係る可変利得増幅回路の構成を示す回路図で

ある。第6実施形態は、上記第5実施形態の構成を一部変更した例である。

【0088】

第6実施形態と第5実施形態との構成上の相違は、スイッチとしてMOSトランジスタMn0、Mn1、Mn2、Mp0、Mp1、Mp2で構成されるMOSインバータを用いて、エミッタ接地増幅回路を選択しない際に、バイポーラトランジスタのエミッタ側を開放するのではなく、正の電源電圧の電位にするようにした点である。その他は第1実施形態と同様に構成されている。

【0089】

このようにバイポーラトランジスタのエミッタ側を正の電源電圧の電位にすることによって、バイポーラトランジスタは飽和して増幅回路として動作しなくなるので、第1実施形態や第5実施形態などと同様の利得制御ができる。従って、第6実施形態の可変利得増幅回路においても、電圧利得とコレクタ電流及び抑圧比の関係は、第1実施形態や第5実施形態などと同じになり、同様の効果がある。

【0090】

なお、MOSインバータが理想的なスイッチと見なせない場合には、MOSトランジスタのゲート幅をなるべく大きくしてオン抵抗がなるべく小さくなるようにするか、又は、オン抵抗の比をエミッタ抵抗の比と同じにすることにより、電圧利得をより精度良く制御することができる。

【0091】

図15～図17は第6実施形態の変形例の構成を示す回路図である。これらの変形例は、図5～図7に示した第2及び第3実施形態の構成に対応してスイッチとしてMOSインバータを用いて置き換えたものであり、いずれにおいても同様の効果がある。なお、ここではインバータとしてMOSインバータを使用した例を示したが、他の構成のインバータを用いても同様な動作は可能であり、同様の効果を得ることができる。

【0092】

[第7実施形態]

図18は本発明の第7実施形態に係る可変利得増幅回路の構成を示す回路図で

ある。第7実施形態は、上記第1実施形態の構成を一部変更した例である。

【0093】

第7実施形態と第1実施形態との構成上の相違は、ベース接地のバイポーラトランジスタQ7、Q8を加えて、エミッタ接地ーベース接地のカスケード接続にしたことである。その他は第1実施形態と同様に構成されている。

【0094】

第1実施形態では、エミッタ接地のバイポーラトランジスタQ1、Q2などのベースーコレクタ間容量C_{jc}が直接効いて入力V_{in}と出力V_{out}間の寄生容量が大きくなるのに対し、第7実施形態では、ベース接地のバイポーラトランジスタQ7、Q8が間に入ることによって、入力V_{in}と出力V_{out}間の寄生容量を小さくすることができる。

【0095】

回路の動作は、基本的には第1実施形態と同じであり、理想的なバイポーラトランジスタを仮定すると、電圧利得A_vと抑圧比I_{M3}は式7a～7d及び式8と同じである。すなわち、いずれの実施形態の可変利得増幅回路においても、寄生容量が無視できる理想の場合には、式7a～7dに従って電圧利得を制御できる。

【0096】

一方、信号周波数が高い場合や電圧利得を下げた場合などにおいて、入力V_{in}と出力V_{out}間の寄生容量が無視できない場合には、動作上の違いが現れる。そのような場合、第1実施形態では、理想の場合の出力に加えて入力V_{in}と出力V_{out}間の寄生容量のために入力V_{in}から出力V_{out}へある一定の信号がリークするので、理想的な利得制御特性から外れて、例えば利得が下げられなくなるなどの問題が生ずることがある。これに対して、電圧利得を下げた場合や、信号周波数が高い場合、第7実施形態における可変利得増幅回路では、寄生容量による入力V_{in}から出力V_{out}への信号のリークが少ないので、より小さい電圧利得まで利得を制御しながら下げることができる。換言すれば、利得制御のダイナミックレンジを広げることができる。

【0097】

このように第7実施形態によれば、可変利得増幅回路をエミッタ接地ーベース接地のカスケード接続の構成にすることによって、第1実施形態などの効果に加えて、利得制御のダイナミックレンジを広げることが可能である効果を実現することができる。

【0098】

なお、上記と同様に、第2～第6実施形態において、エミッタ接地増幅回路を構成するバイポーラトランジスタのコレクタ側に第7実施形態のQ7、Q8のようなベース接地のバイポーラトランジスタを加えて、エミッタ接地ーベース接地のカスケード接続の増幅回路を構成するように変更することも可能である。これにより、利得制御のダイナミックレンジを広げることができる。図19は第7実施形態の第1変形例の構成を示す回路図である。この変形例は、図16に示した第6実施形態の変形例の構成に対応してエミッタ接地ーベース接地のカスケード接続の増幅回路を構成したものであり、同様の効果がある。

【0099】

また、図20は第7実施形態の第2変形例の構成を示す回路図である。この変形例は、図4に示した第1実施形態の変形例の構成に対応して、スイッチSW2、SW1、SW0を切り替えてバイポーラトランジスタのエミッタ側を接地電位gndにする構成に加え、更に接地電位gndにしないときは正の電源電圧Vccにする構成としたものである。このような回路構成にしても同様の効果を得ることができる。

【0100】

[第8実施形態]

図21は本発明の第8実施形態に係る可変利得増幅回路の構成を示す回路図である。第8実施形態は、上記第1実施形態の構成を一部変更した例である。

【0101】

第8実施形態と第1実施形態との構成上の相違は、バイポーラトランジスタに代えてMOSトランジスタを用いたことである。この場合、複数のソース接地増幅回路を構成するMOSトランジスタM1、M3、M5のゲートとM2、M4、M6のゲートをそれぞれ共通に接続すると共に、MOSトランジスタM1、M2

のソース側にスイッチSW2を接続し、以下同様にMOSトランジスタM3、M4及びM5、M6の各ソース側にそれぞれSW1、SW0を接続して構成される。

【0102】

本実施形態では、複数のソース接地増幅回路におけるそれぞれのソース抵抗の抵抗値 R_{s0} 、 R_{s1} 、 R_{s2} の比をMOSトランジスタのゲート幅の比に反比例するように構成する。好ましくは、それぞれのMOSトランジスタのゲート幅の比、ソース抵抗の抵抗値の比を2のべき乗とする。また、複数のソース接地増幅回路におけるドレイン電流の比がソース抵抗の比に反比例するように構成する。基本的な動作は第1実施形態と同様であるが、第8実施形態の構成によれば、第1実施形態の効果に加えて、より低い電源電圧で回路を動作させることができるという効果を実現できる。

【0103】

なお、上記と同様に、第2～第6実施形態において、エミッタ接地増幅回路を構成するバイポーラトランジスタをMOSトランジスタに代えた構成とすることも可能であり、より低い電源電圧で回路を動作させることができるという効果を実現できる。図22は第8実施形態の変形例の構成を示す回路図である。この変形例は、図16に示した第6実施形態の変形例の構成に対応してバイポーラトランジスタに代えてMOSトランジスタを用いて構成したものであり、同様の効果がある。

【0104】

また、本実施形態では電界効果トランジスタとしてMOSトランジスタを使用した例を示したが、MOSトランジスタに限定されるわけではなく、例えば、GaAs MESFETのような化合物半導体を用いた電界効果トランジスタなど、他の電界効果トランジスタを用いても同様の効果を実現することができる。

【0105】

[第9実施形態]

図23及び図24は本発明の第9実施形態に係る可変利得増幅回路の構成を示す回路図である。第9実施形態は、上記第7実施形態の構成を一部変更した例で

ある。

【0106】

図9実施形態と第7実施形態との構成上の相違は、バイポーラトランジスタに代えてMOSトランジスタを用いたことである。この場合、上記第8実施形態の構成にM7、M8のようなゲート接地のMOSトランジスタを加えて、ソース接地ーゲート接地のカスケード接続の増幅回路を構成する。基本的な動作は第7実施形態と同様であるが、第9実施形態の構成によれば、第7実施形態の効果に加えて、より低い電源電圧で回路を動作させることができるという効果を実現できる。

【0107】

なお、本実施形態では電界効果トランジスタとしてMOSトランジスタを使用した例を示したが、MOSトランジスタに限定されるわけではなく、例えば、GaAs MESFETのような化合物半導体を用いた電界効果トランジスタなど、他の電界効果トランジスタでも同様の効果を実現することができる。

【0108】

[第10実施形態]

図25は本発明の第10実施形態に係る可変利得増幅回路の構成を示すブロック図である。

【0109】

第10実施形態の可変利得増幅回路は、上記第1～第9実施形態において説明した可変利得増幅回路を可変利得増幅回路本体(VGA1)11とし、更にデコーダ(DECODER1)12を付加して構成される。

【0110】

デコーダ12は、表1に示すようにデジタル信号処理を行うことにより、入力するゲイン状態設定用のデジタル信号gain_state_1に応じて可変利得増幅回路本体11のSW0、SW1、SW2の入力のいずれかに「1」を出力し、可変利得増幅回路本体11に含まれる複数の増幅回路のうち1つだけを選択する。

【0111】

【表 1】

gain_state_1	SW0	SW1	SW2	Voltage gain Av	dB_Av(dB)	dBc_IM3(dBc)	Io(mA)
2	0	0	1	3.623	11.182	-47.998	5.000
1	0	1	0	1.812	5.161	-47.998	2.500
0	1	0	0	0.906	-0.859	-47.998	1.250

【0112】

第10実施形態では、デジタル信号gain_state_1の入力方法として、クロック端子clk、データ端子data、ストロブ端子stbを用いてシリアル形式のデータを入力するようにしている。なお、デジタル信号gain_state_1の入力方法はこれに限定されるものではなく、種々の変形例が考えられる。

【0113】

このときの電圧利得は、例えば、複数の増幅回路間のエミッタ抵抗の比が2のべき乗で、かつ複数の増幅回路間のコレクタ電流の比がエミッタ抵抗の比に反比例する場合、表1に示すように、デジタル信号gain_state_1によって電圧利得をおよそ6dBきざみで制御することができる。図26は表1に対応したデジタル信号gain_state_1に対する電圧利得Av(dB表示)の関係を示すグラフである。

【0114】

このように第10実施形態によれば、デコーダを用いることによって、デコーダへの入力信号の値によって例えば約6dBごとなどの所定量の単位ごとに可変利得増幅回路の電圧利得を制御することができる。なお、第10実施形態では、3ビット構成の例を示しているが、ビット数を増せばさらに利得制御の範囲を広げることができる。

【0115】

【第11実施形態】

図27は本発明の第11実施形態に係る可変利得増幅回路の構成を示すブロック図である。

【0116】

第11実施形態の可変利得増幅回路は、上記第1～第9実施形態において説明した可変利得増幅回路を可変利得増幅回路本体(VGA2)21とし、更にデコーダ回路(DECODER2)22を付加して構成される。

【0117】

デコーダ22は、可変利得増幅回路本体21の中で最も電圧利得の大きい増幅回路に対応したSW2に常に「1」を出力すると共に、ゲイン状態設定用のデジタル信号gain_state_2を入力して、表2に示すようにデジタル信号処理を行うことにより、可変利得増幅回路本体22のSW0、SW1のそれぞれの入力に「1」又は「0」を出力して、SW0、SW1に対応する増幅回路のうち任意の増幅回路の組み合わせを選択する。

【0118】

【表2】

gain_state_2	SW0	SW1	SW2	Voltage gain Av	dB_Av(dB)	dBc_IM3(dBc)	Io(mA)
3	1	1	1	6.341	16.043	-47.998	8.750
2	0	1	1	5.435	14.704	-47.998	7.500
1	1	0	1	4.529	13.120	-47.998	6.250
0	0	0	1	3.623	11.182	-47.998	5.000

【0119】

第11実施形態では、デジタル信号gain_state_2の入力方法として、クロック端子clk、データ端子data、ストロブ端子stbを用いてシリアル形式のデータを入力するようにしている。なお、デジタル信号gain_state_2の入力方法はこれに限定されるものではなく、種々の変形例が考えられる。

【0120】

このときの電圧利得は、例えば、複数の増幅回路間のエミッタ抵抗の比が2のべき乗で、かつ複数の増幅回路間のコレクタ電流の比がエミッタ抵抗の比に反比例する場合、表2に示すように、およそ6dBの範囲をデジタル信号gain_state_2によって電圧利得を6dBよりも細かいきざみで制御することができる。図28は表2に対応したデジタル信号gain_state_2に対する電圧利得Av(dB表示)の関係を示すグラフである。

【0121】

このように第11実施形態によれば、デコーダを用いることによって、デコーダへの入力信号の値によって例えば6 dBなどの所定範囲においてそれよりも細かい所定単位ごとに可変利得増幅回路の電圧利得を制御することができる。なお、第11実施形態では、3ビット構成の例を示しているが、ビット数を増せばさらに電圧利得の制御単位を細かくすることができる。また、常に「1」が出力される増幅回路の電圧利得の設定を変更すれば、可変利得増幅回路本体21全体の利得制御の範囲の設定を変更することもできる。

【0122】

[第12実施形態]

図29は本発明の第12実施形態に係る可変利得増幅回路の構成を示すブロック図である。

【0123】

第12実施形態の可変利得増幅回路は、上記第10実施形態において説明した可変利得増幅回路と第11実施形態において説明した可変利得増幅回路とを直列に接続して構成される。

【0124】

この構成において、デコーダ12とデコーダ22にそれぞれデジタル信号gain_state_1とデジタル信号gain_state_2の組み合わせを入力すると、電圧利得はそれぞれの可変利得増幅回路の電圧利得の積（dB表示では和）になる。表3に示すように、デジタル信号gain_state_1とデジタル信号gain_state_2の組み合わせをgain_state_3と定義すると、gain_state_3によって電圧利得を制御できるとみなすこともできる。

【0125】

【表 3】

gain_state_3	gain_state_1	gain_state_2	dB_Av(dB)	dBc_IM3(dB)	Io(mA)
11	2	3	27.224		13.750
10	2	2	25.885		12.500
9	2	1	24.302		11.250
8	2	0	22.364		10.000
7	1	3	21.204		11.250
6	1	2	19.865		10.000
5	1	1	18.281		8.750
4	1	0	16.343		7.500
3	0	3	15.183		10.000
2	0	2	13.844		8.750
1	0	1	12.261		7.500
0	0	0	10.322		6.250

【0126】

図30表3に対応したはデジタル信号gain_state_3に対する電圧利得Av (dB表示) の関係を示すグラフである。

【0127】

このように第12実施形態によれば、デコーダを用いた可変利得増幅回路を直列接続した構成とすることによって、デコーダへの入力信号の値によって所定範囲において所定単位ごとに細かく可変利得増幅回路の電圧利得を制御することができる。なお、第12実施形態では、3ビット構成の例を示しているが、ビット数を増せばさらに利得制御のダイナミックレンジを広げたり、さらに細かいきざみで電圧利得を制御することができる。

【0128】

[第13実施形態]

図31は本発明の第13実施形態に係る無線通信装置の構成を示すブロック図である。第13実施形態は、上記第10～第12実施形態に示した可変利得増幅回路を無線通信装置に適用した例である。

【0129】

この無線通信装置は、アンテナ106、デュプレクサ(共用器)105を備え、送信系として送信ベースバンド信号処理部101、変調器102、送信発振器

103、送信RF可変利得増幅回路104を有している。また、受信系として受信RF可変利得増幅回路107、復調器108、受信発振器109、受信ベースバンド信号処理部110を有している。

【0130】

まず、送信系の動作について説明すると、まず送信ベースバンド信号処理部101において、入力された送信データ信号によるベースバンド帯域の送信信号の符号化、増幅、帯域制限処理等の信号処理を行い、変調器102において送信発振器103により発生された局部発振信号と送信信号とを混合して周波数変換を行い、送信RF信号を得る。そして、送信RF可変利得増幅回路104において、例えば通信相手との距離が近い場合に相手局の受信回路の飽和を避ける、他の無線通信装置との干渉を低減するなどのために、利得制御を行って送信RF信号を適当な信号レベルに調整し、デュプレクサ105を介してアンテナ106から電波として放射する。

【0131】

一方、受信系の動作としては、アンテナ106で受信された受信RF信号は、デュプレクサ105を介して受信RF可変利得増幅回路107に入力される。そして、受信RF可変利得増幅回路107において、例えば通信相手との距離の変化やフェージングの影響などによる受信信号レベルの変動を抑えたり、高レベルの入力信号による増幅回路の飽和を避けるために、利得制御を行って受信RF信号を適当な信号レベルに調整する。次に、復調器108において受信発振器109により発生された局部発振信号と受信RF信号とを混合して周波数変換を行い、ベースバンド帯域の受信信号を得る。そして、受信ベースバンド信号処理部110において、受信信号の帯域制限処理、増幅、復号化等の信号処理を行い、通信相手から送られた元のデータ信号を再生し、受信データ信号として出力する。

【0132】

この第13実施形態では、上記送信RF可変利得増幅回路104と受信RF可変利得増幅回路107の少なくとも一方に、第10～第12実施形態で説明した可変利得増幅回路を用いて構成する。これにより、電圧利得を下げたときに電流が減少し、かつ歪み特性の劣化が実質的に無い無線通信装置を実現することがで

きる。

【0133】

上述したように、本実施形態では、複数のエミッタ接地増幅回路を構成するバイポーラトランジスタのベースまたはMOSトランジスタのゲートを共通とし、各バイポーラトランジスタのエミッタ側または各MOSトランジスタのソース側にそれぞれスイッチを設け、これらのスイッチでエミッタ接地増幅回路を選択する構成としている。これにより、電圧利得を下げたときに電流が減少し、かつ歪み特性の劣化が実質的にないという優れた効果を有する可変利得増幅回路を実現することができる。また、無線通信装置における送信RF可変利得増幅回路及び受信RF可変利得増幅回路に上記実施形態の可変利得増幅回路を用いることにより、送信回路や受信回路等の無線回路において電圧利得を下げたときに電流が低減し、かつ歪み特性の劣化が実質的にない無線通信装置を実現することができる。

【0134】

【発明の効果】

以上説明したように本発明によれば、電圧利得を下げたときに電流が減少し、かつ抑圧比で代表される歪み特性の劣化が実質的に無い優れた可変利得増幅回路及びこれを備えた無線通信装置を提供することができる。

【図面の簡単な説明】

【図1】

本発明の第1実施形態に係る可変利得増幅回路の構成を示す回路図

【図2】

第1実施形態の応用例としてバイアス回路も含めた可変利得増幅回路の構成を示す回路図

【図3】

第1実施形態における可変利得増幅回路の電圧利得 A_v に対する抑圧比 I_{M3} とコレクタ電流 I_0 の関係を示すグラフ

【図4】

第1実施形態の変形例の可変利得増幅回路の構成を示す回路図

【図 5】

本発明の第 2 実施形態に係る可変利得増幅回路の構成を示す回路図

【図 6】

本発明の第 3 実施形態に係る可変利得増幅回路の構成を示す回路図

【図 7】

第 3 実施形態の変形例の可変利得増幅回路の構成を示す回路図

【図 8】

本発明の第 4 実施形態に係る可変利得増幅回路の構成を示す回路図

【図 9】

本発明の第 4 実施形態に係る可変利得増幅回路の構成を示す回路図

【図 10】

本発明の第 5 実施形態に係る可変利得増幅回路の構成を示す回路図

【図 11】

第 5 実施形態の変形例の可変利得増幅回路の構成を示す回路図

【図 12】

第 5 実施形態の変形例の可変利得増幅回路の構成を示す回路図

【図 13】

第 5 実施形態の変形例の可変利得増幅回路の構成を示す回路図

【図 14】

本発明の第 6 実施形態に係る可変利得増幅回路の構成を示す回路図

【図 15】

第 6 実施形態の変形例の可変利得増幅回路の構成を示す回路図

【図 16】

第 6 実施形態の変形例の可変利得増幅回路の構成を示す回路図

【図 17】

第 6 実施形態の変形例の可変利得増幅回路の構成を示す回路図

【図 18】

本発明の第 7 実施形態に係る可変利得増幅回路の構成を示す回路図

【図 19】

第 7 実施形態の第 1 変形例の可変利得増幅回路の構成を示す回路図

【図 20】

第 7 実施形態の第 2 変形例の可変利得増幅回路の構成を示す回路図

【図 21】

本発明の第 8 実施形態に係る可変利得増幅回路の構成を示す回路図

【図 22】

第 8 実施形態の変形例の可変利得増幅回路の構成を示す回路図

【図 23】

本発明の第 9 実施形態に係る可変利得増幅回路の構成を示す回路図

【図 24】

本発明の第 9 実施形態に係る可変利得増幅回路の構成を示す回路図

【図 25】

本発明の第 10 実施形態に係る可変利得増幅回路の構成を示すブロック図

【図 26】

第 10 実施形態における可変利得増幅回路のデジタル信号gain_state_1に対する電圧利得 A_v の関係を示すグラフ

【図 27】

本発明の第 11 実施形態に係る可変利得増幅回路の構成を示すブロック図

【図 28】

第 11 実施形態における可変利得増幅回路のデジタル信号gain_state_2に対する電圧利得 A_v の関係を示すグラフ

【図 29】

本発明の第 12 実施形態に係る可変利得増幅回路の構成を示すブロック図

【図 30】

第 12 実施形態における可変利得増幅回路のデジタル信号gain_state_3に対する電圧利得 A_v の関係を示すグラフ

【図 31】

本発明の第 13 実施形態に係る無線通信装置の構成を示すブロック図

【図 32】

第1の従来例の可変利得増幅回路の構成を示す回路図

【図33】

第2の従来例の可変利得増幅回路の構成を示す回路図

【図34】

第3の従来例の可変利得増幅回路の構成を示す回路図

【図35】

第1の従来例の可変利得増幅回路における電圧利得 A_v に対する抑圧比 I_{M3} とコレクタ電流 I_0 の関係を示すグラフ

【図36】

第2及び第3の従来例の可変利得増幅回路における電圧利得 A_v に対する抑圧比 I_{M3} とコレクタ電流 I_0 の関係を示すグラフ

【符号の説明】

11, 21 可変利得増幅回路本体

12, 22 デコーダ

104 送信RF可変利得増幅回路

107 受信RF可変利得増幅回路

Q1～Q6、Qb1～Qb6 バイポーラトランジスタ

Mn0～Mn2、Mp0～Mp2、Mp20～Mp22、Mp200、M1～M8 MOSトランジスタ

Re、Re0～Re2 エミッタ抵抗

Rec0～Rec2 同相のエミッタ抵抗

Rs0～Rs2 ソース抵抗

Rsc0～Rsc2 同相のソース抵抗

SW0、SW1、SW2 スイッチ

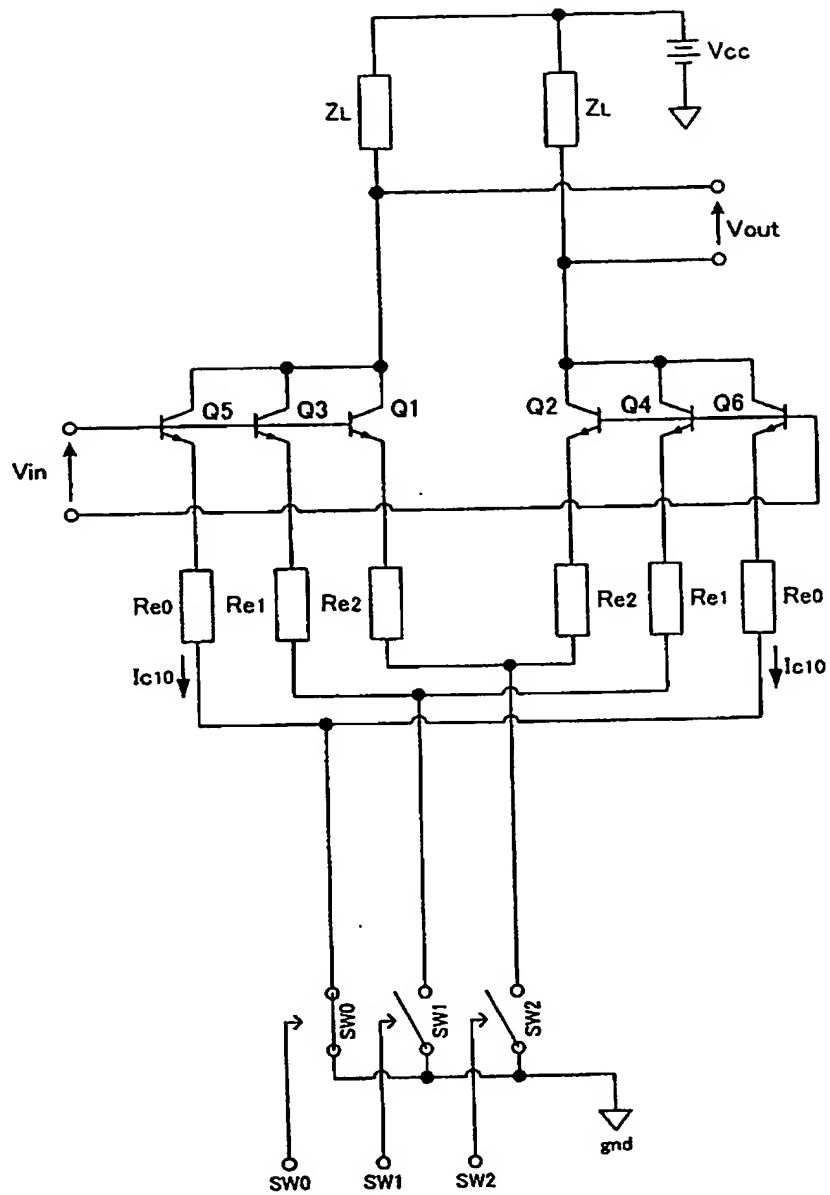
Ic10、I0 コレクタ電流

gain_state_1、gain_state_2 デジタル信号

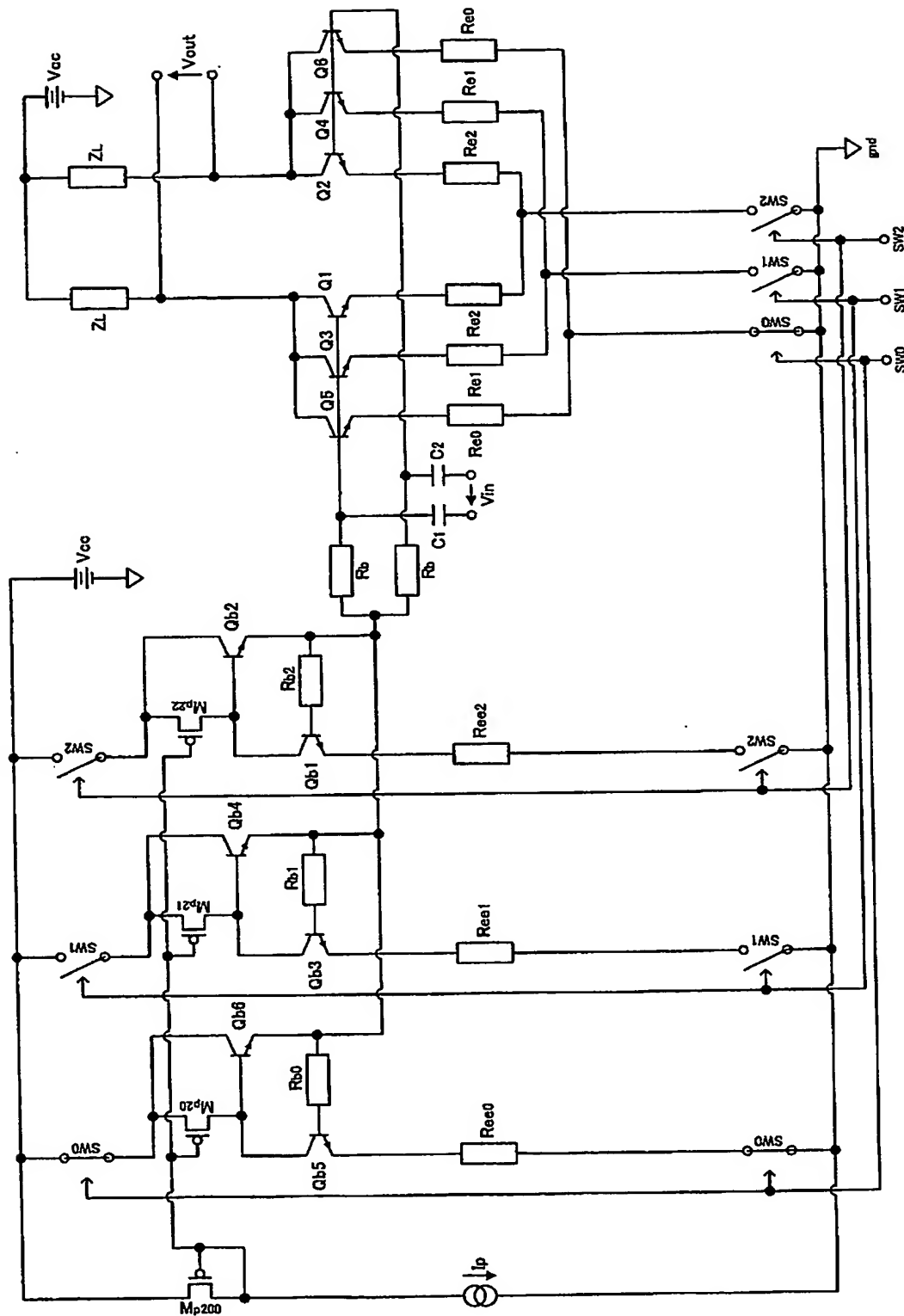
【書類名】

図面

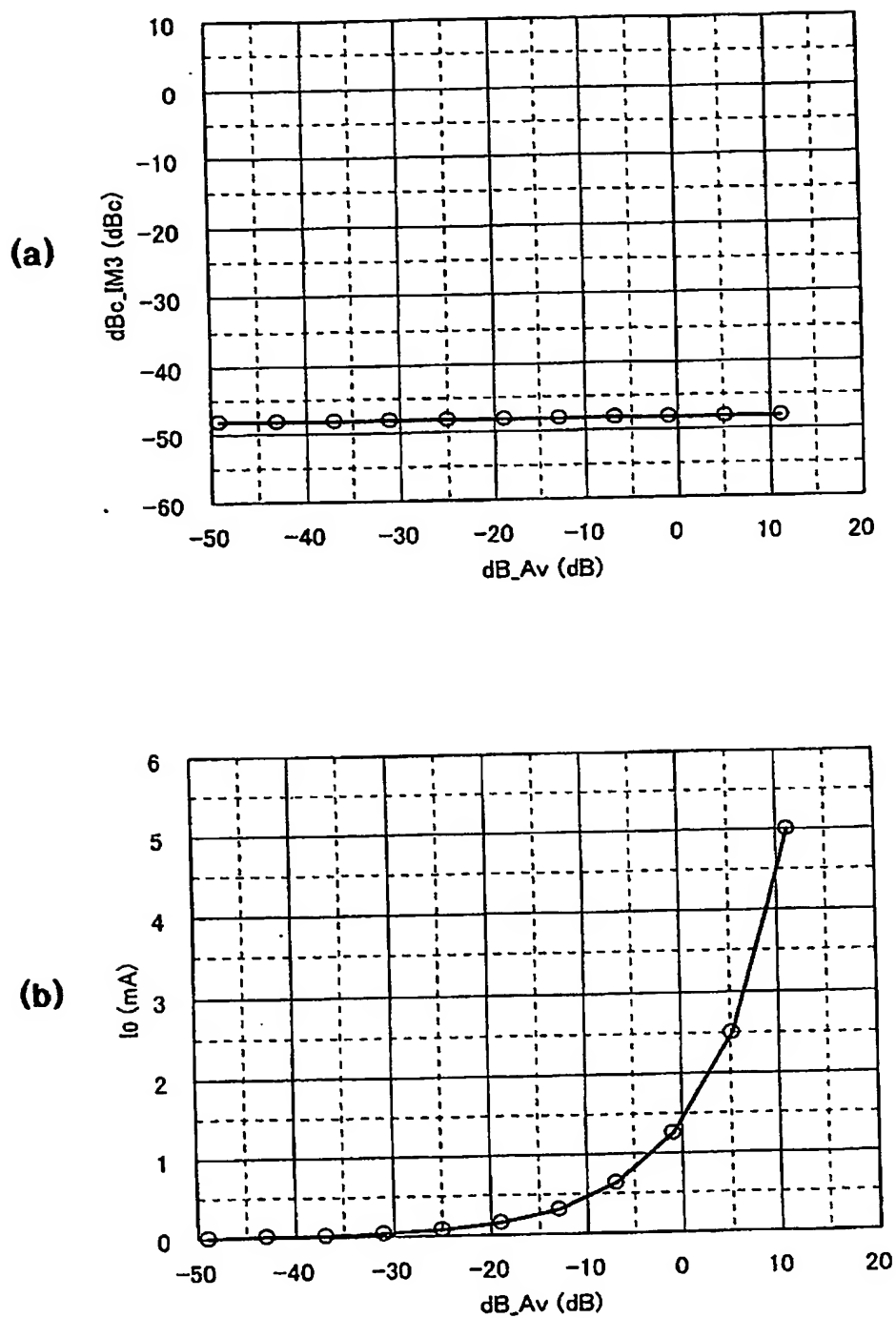
【図 1】



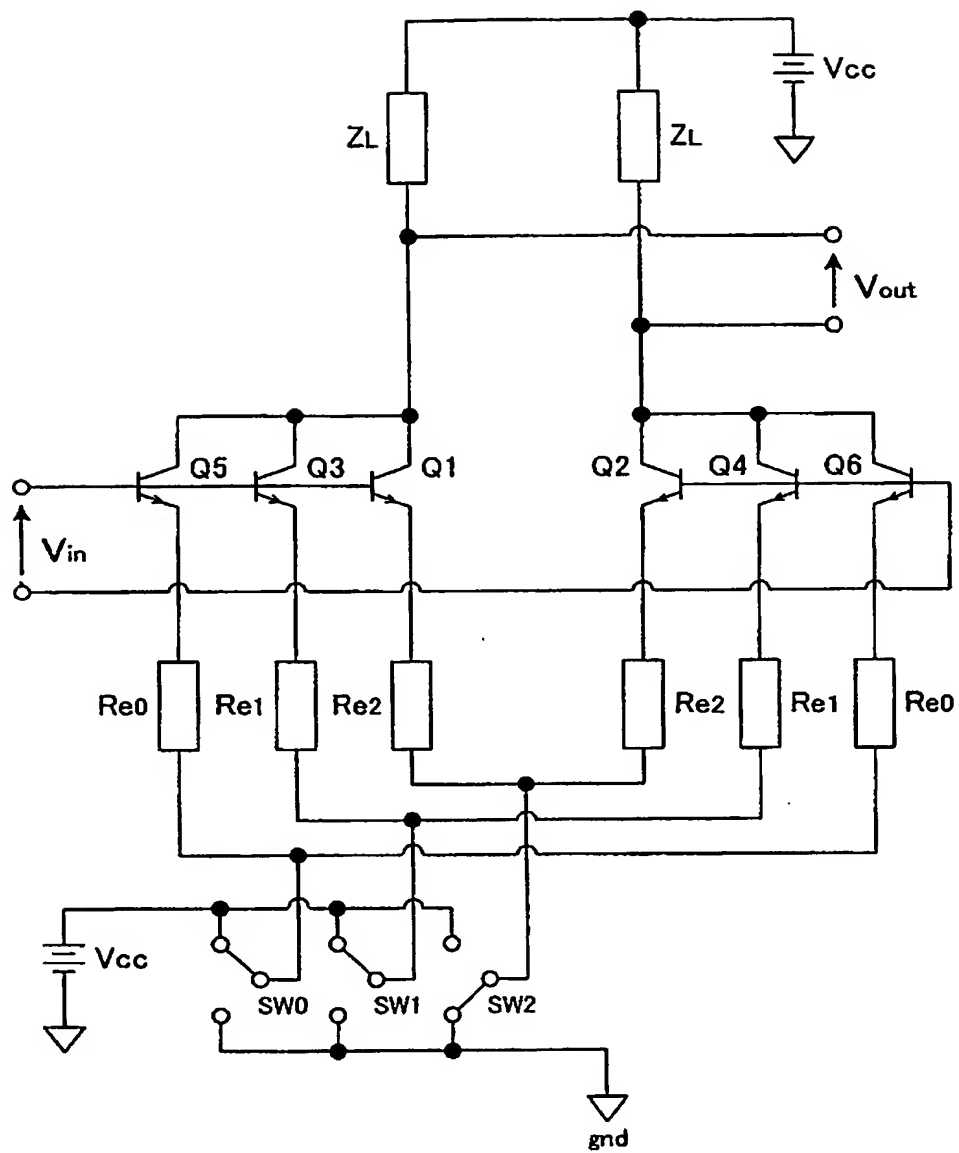
【圖 2】



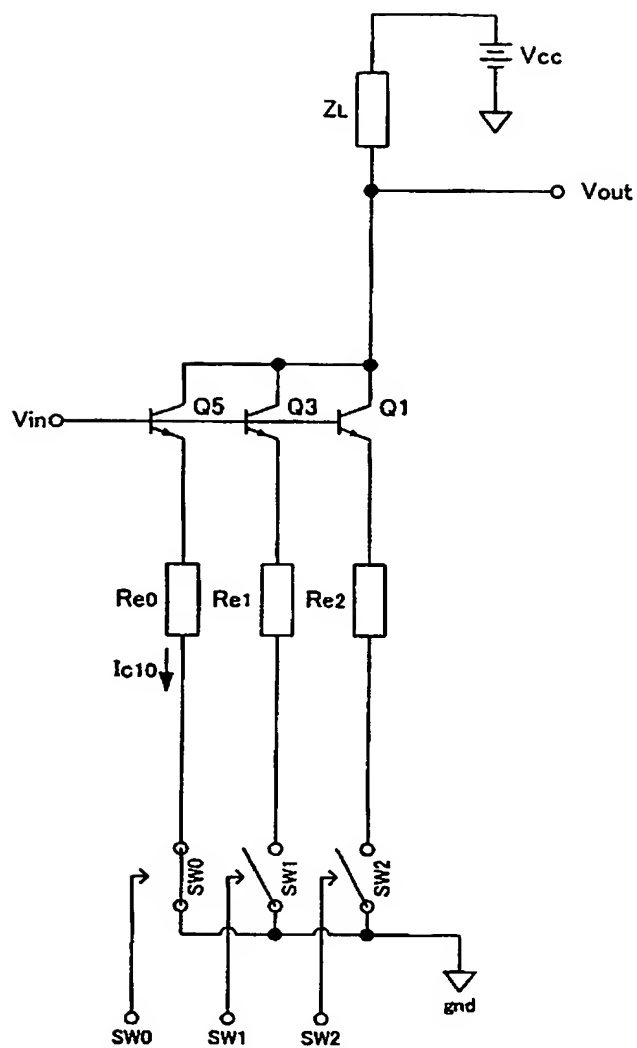
【図 3】



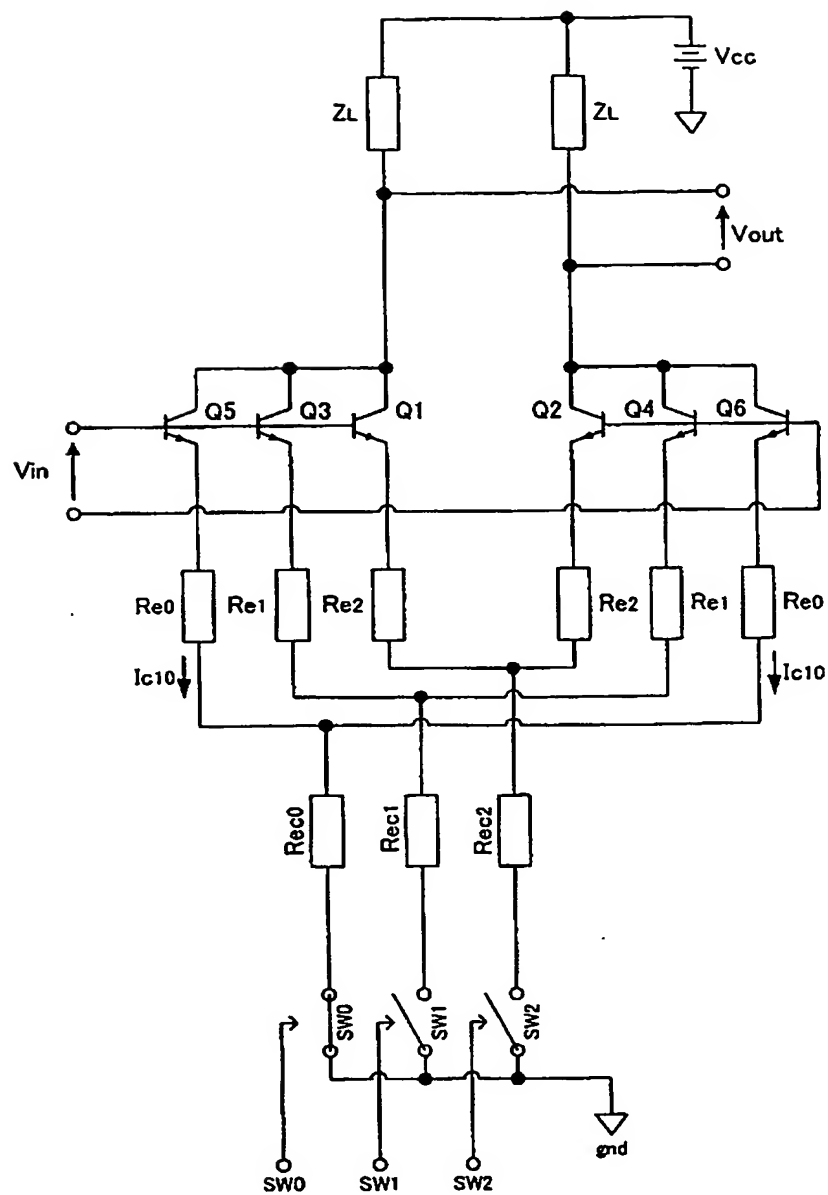
【図 4】



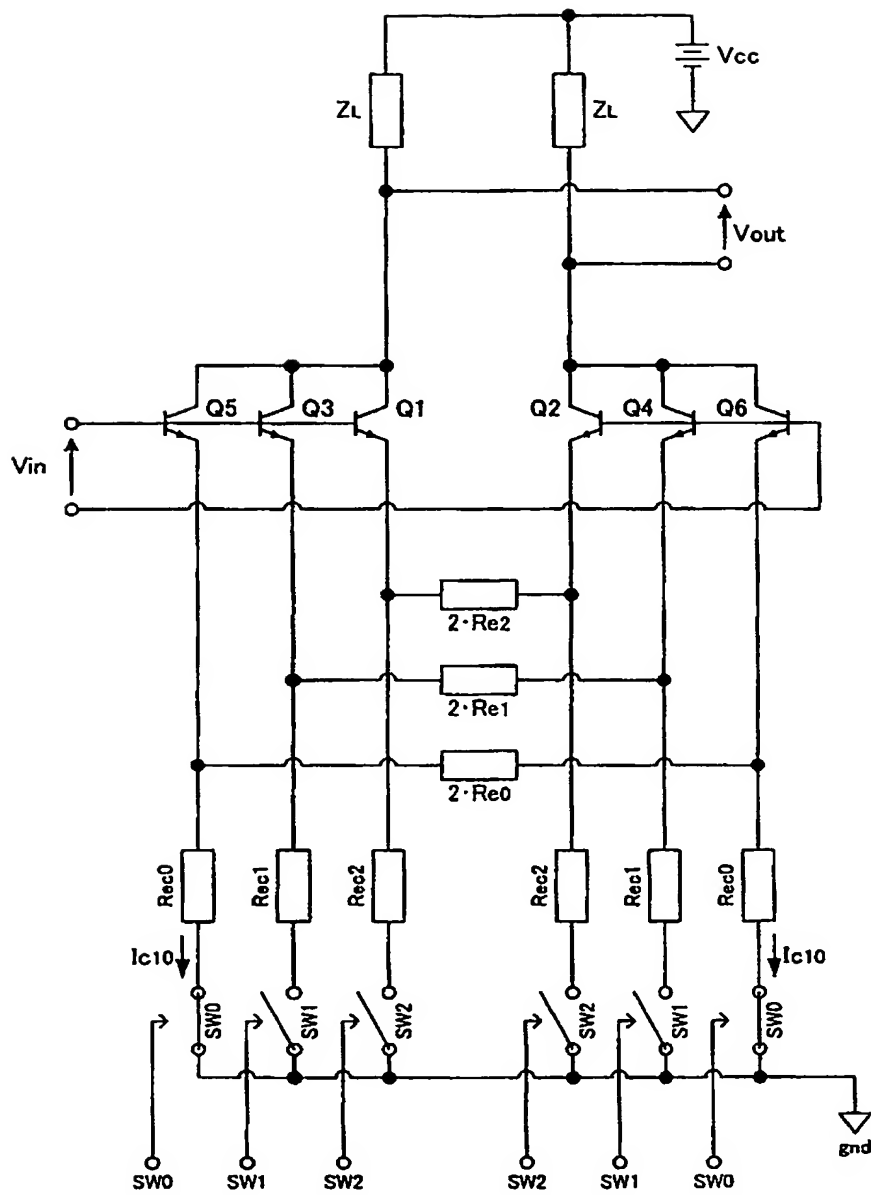
【図 5】



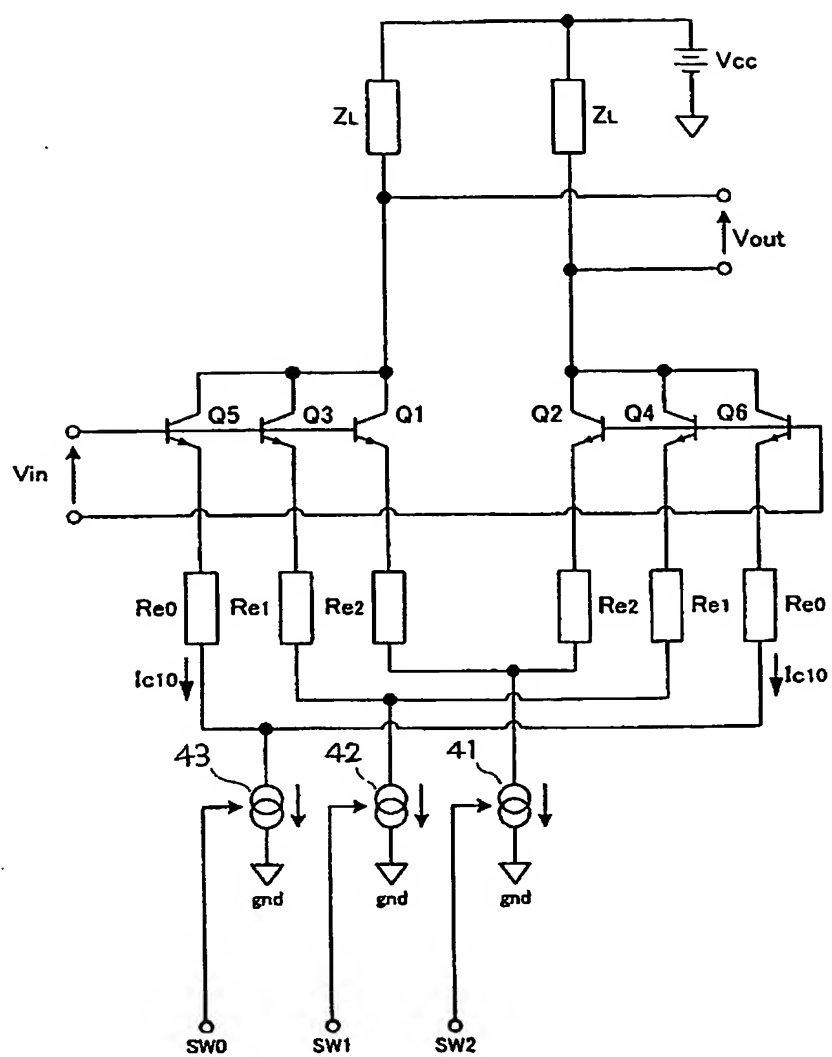
【図 6】



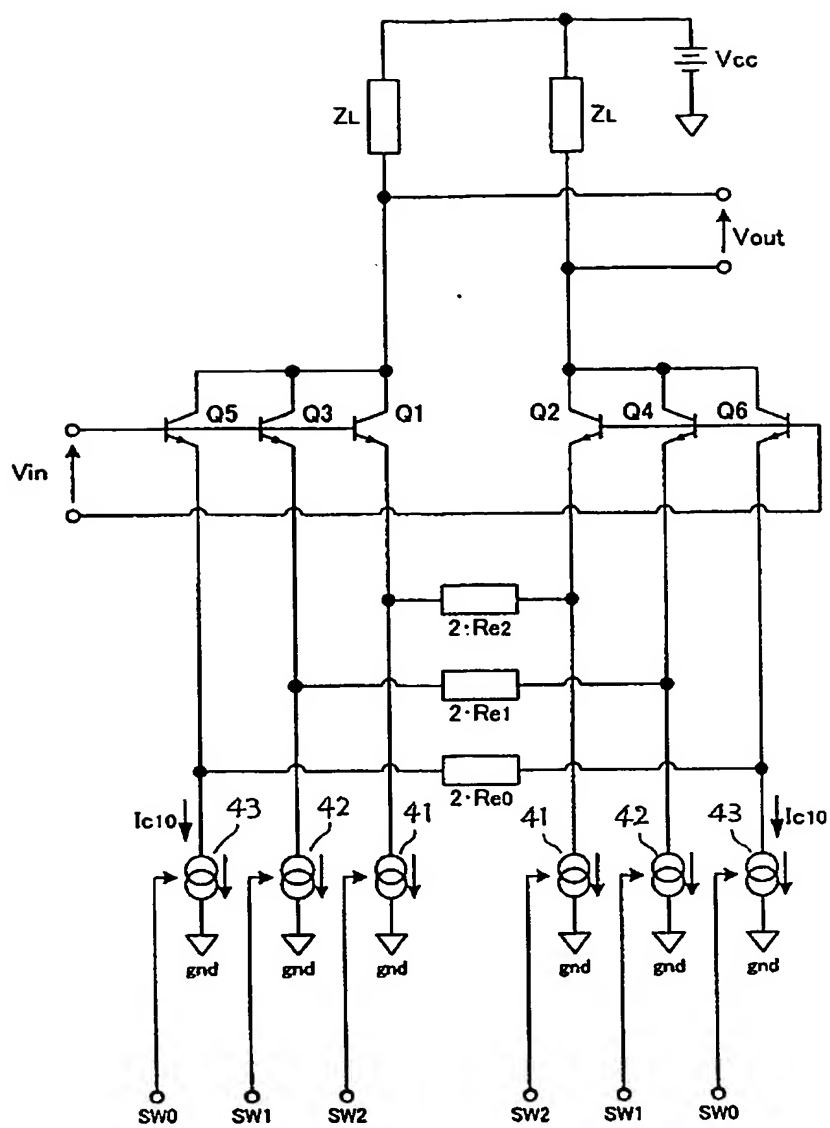
【図 7】



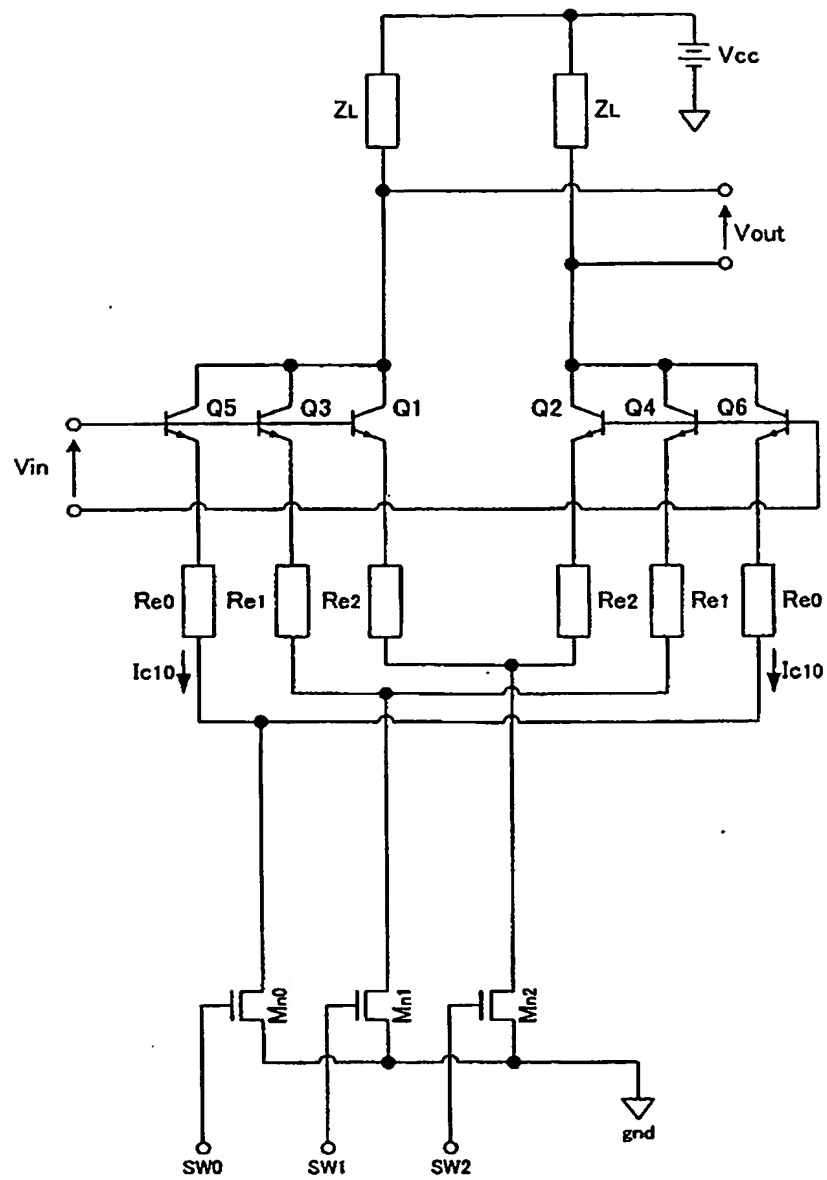
【図 8】



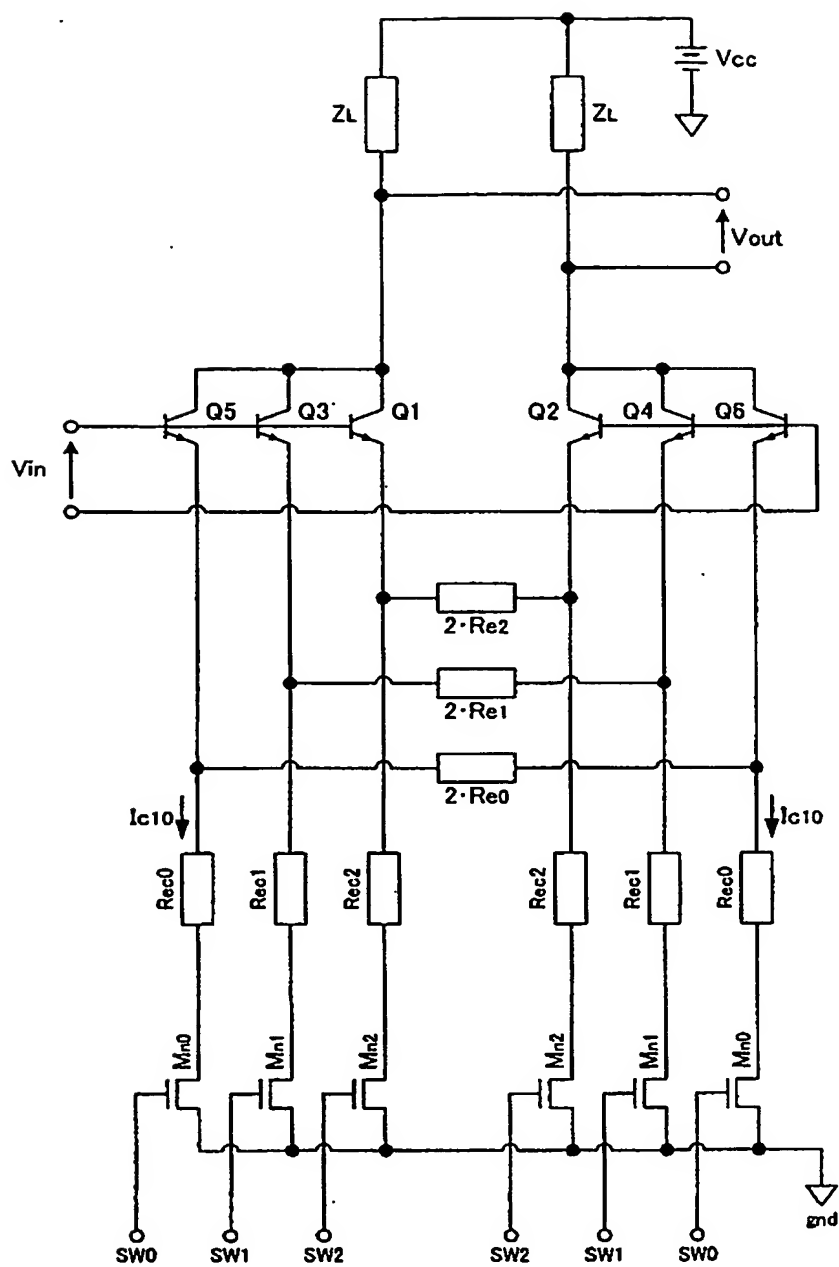
【図 9】



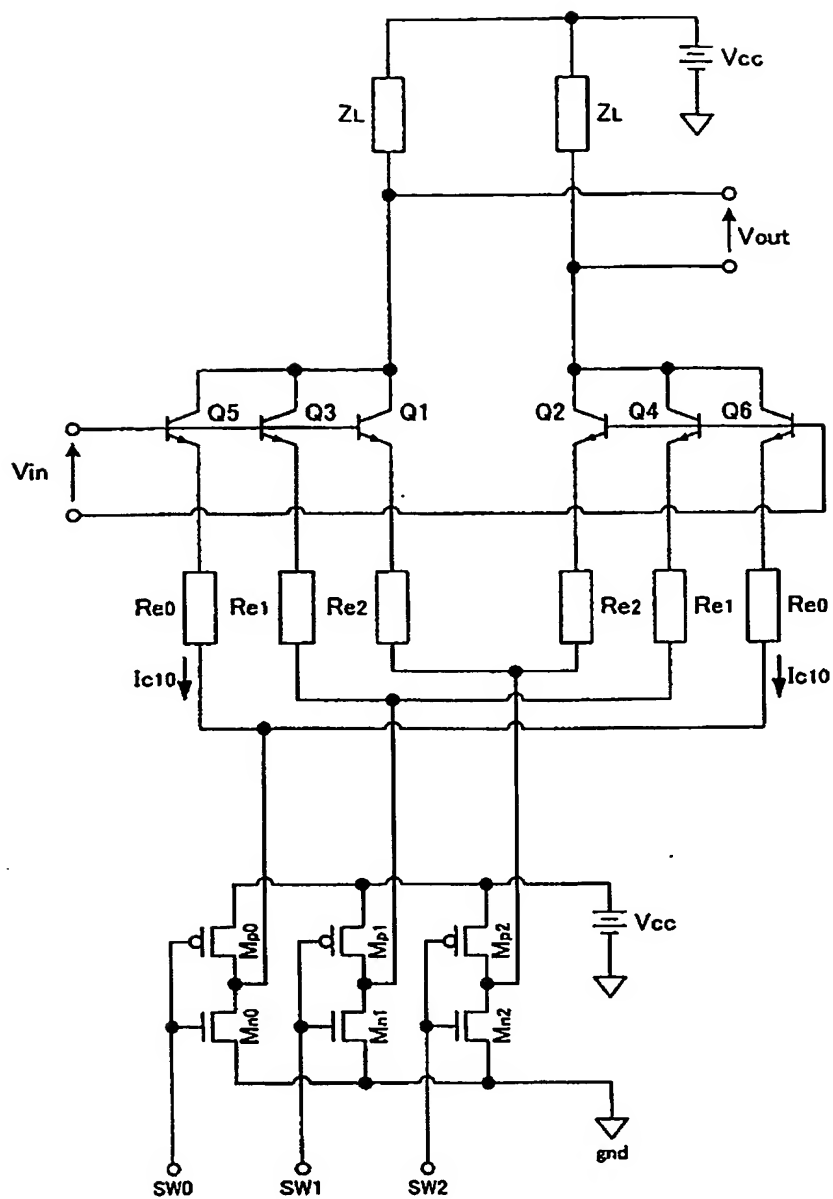
【図 10】



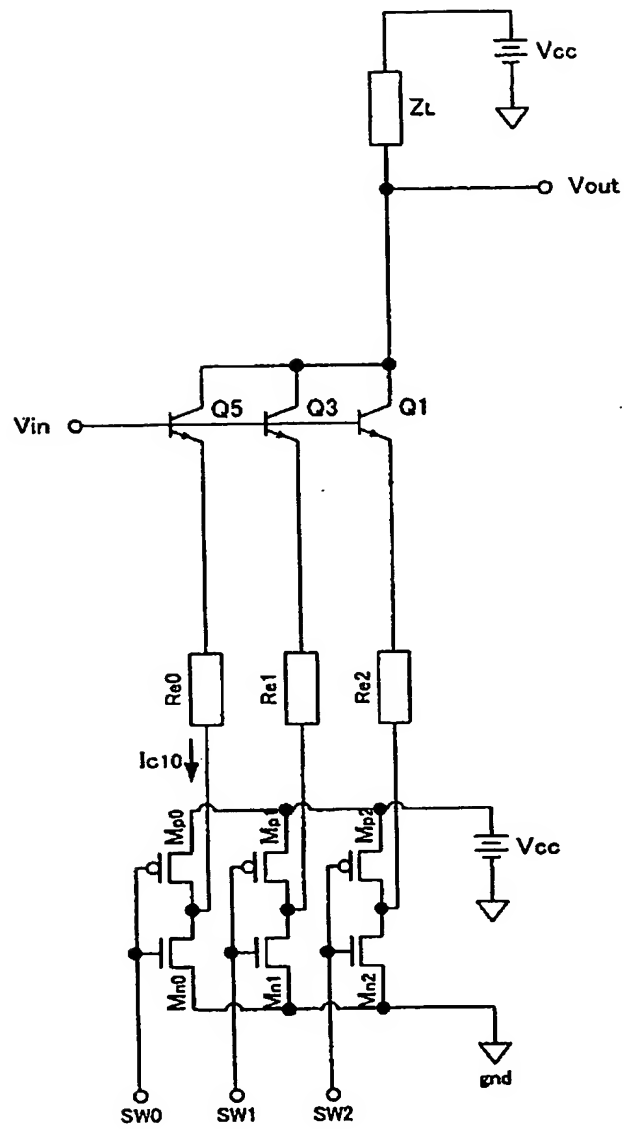
【図 13】



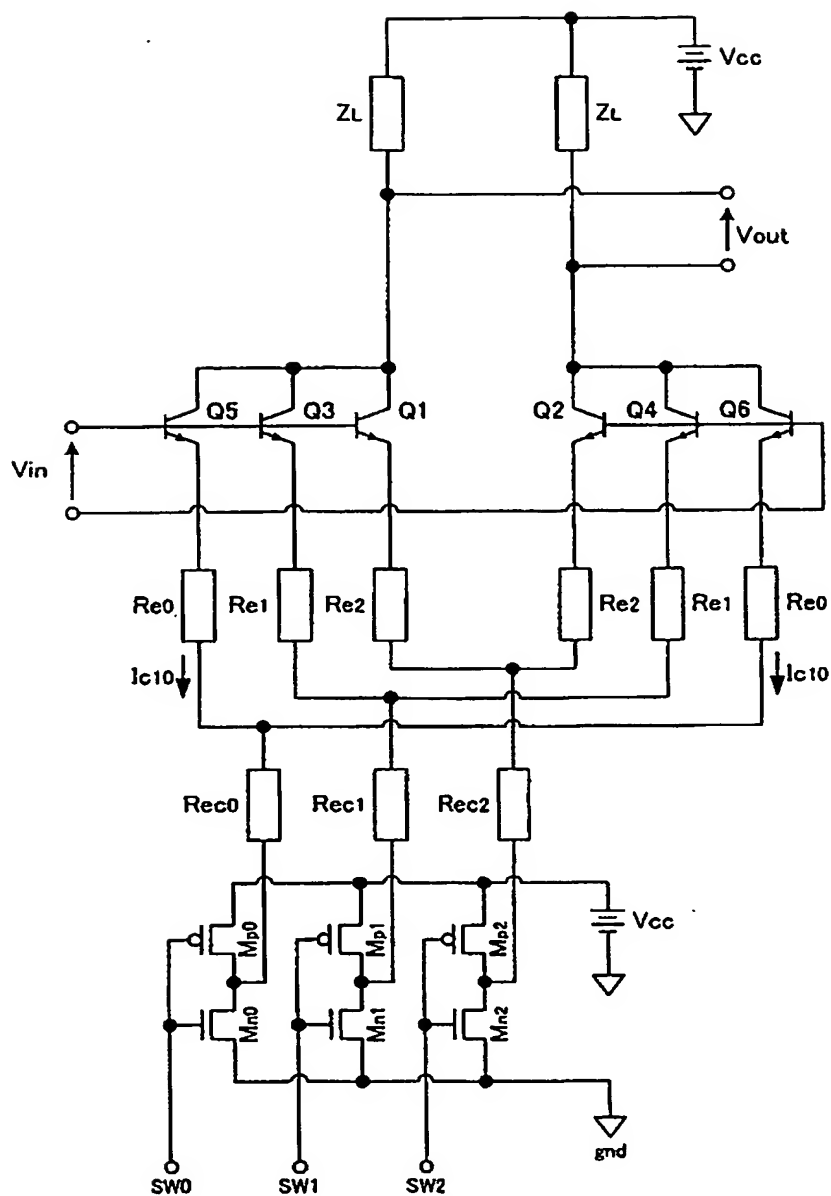
【図 14】



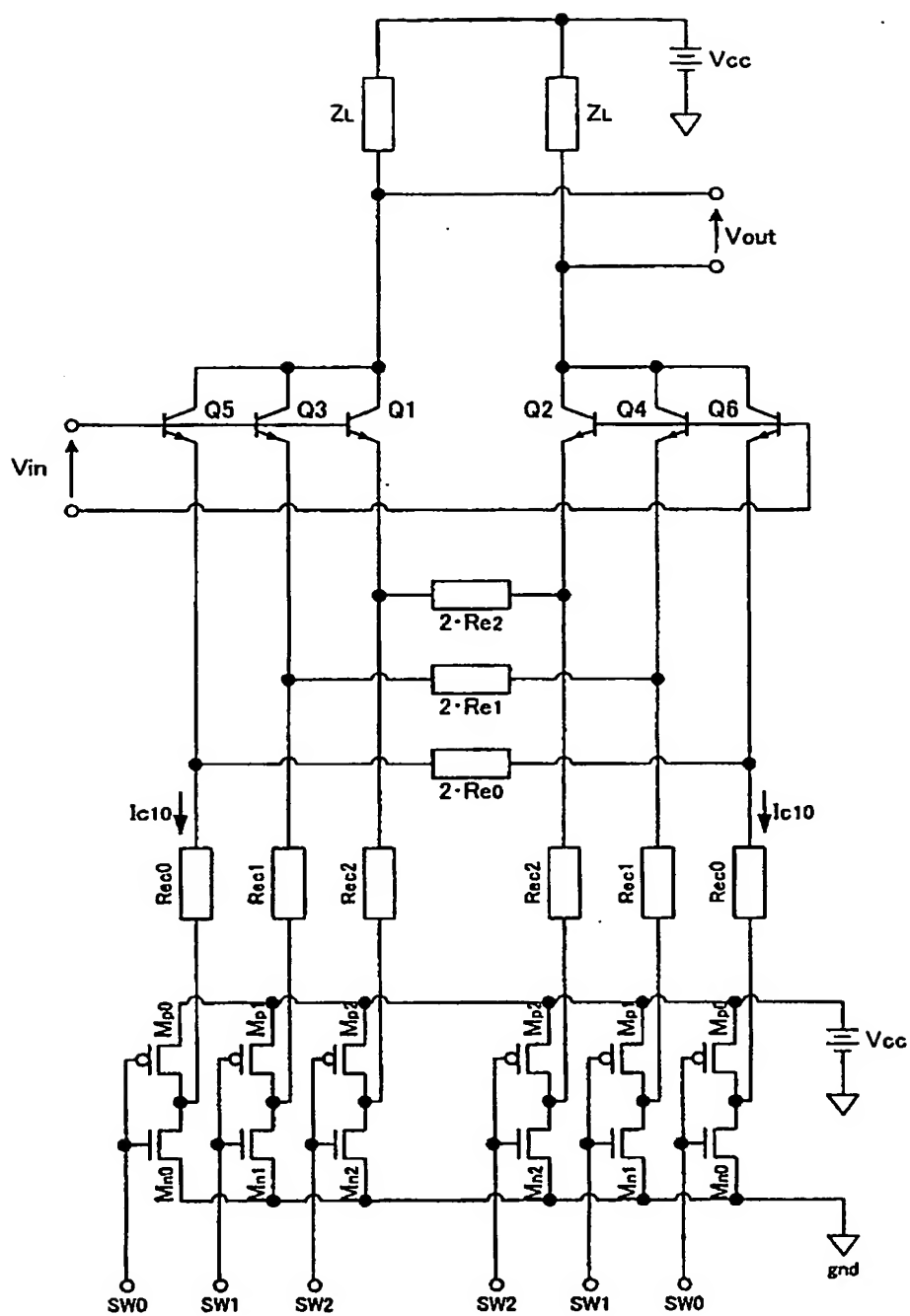
【図 15】



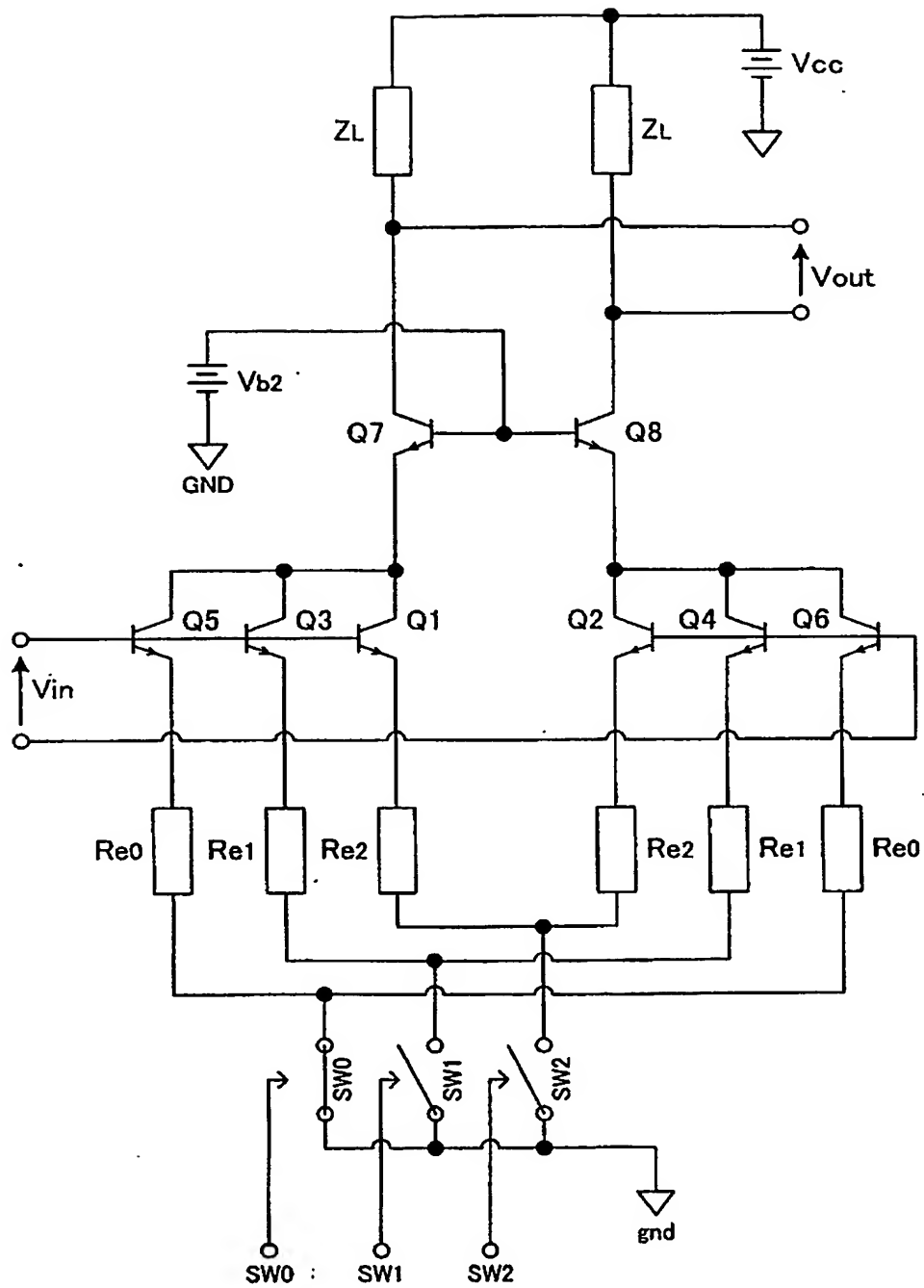
【図16】



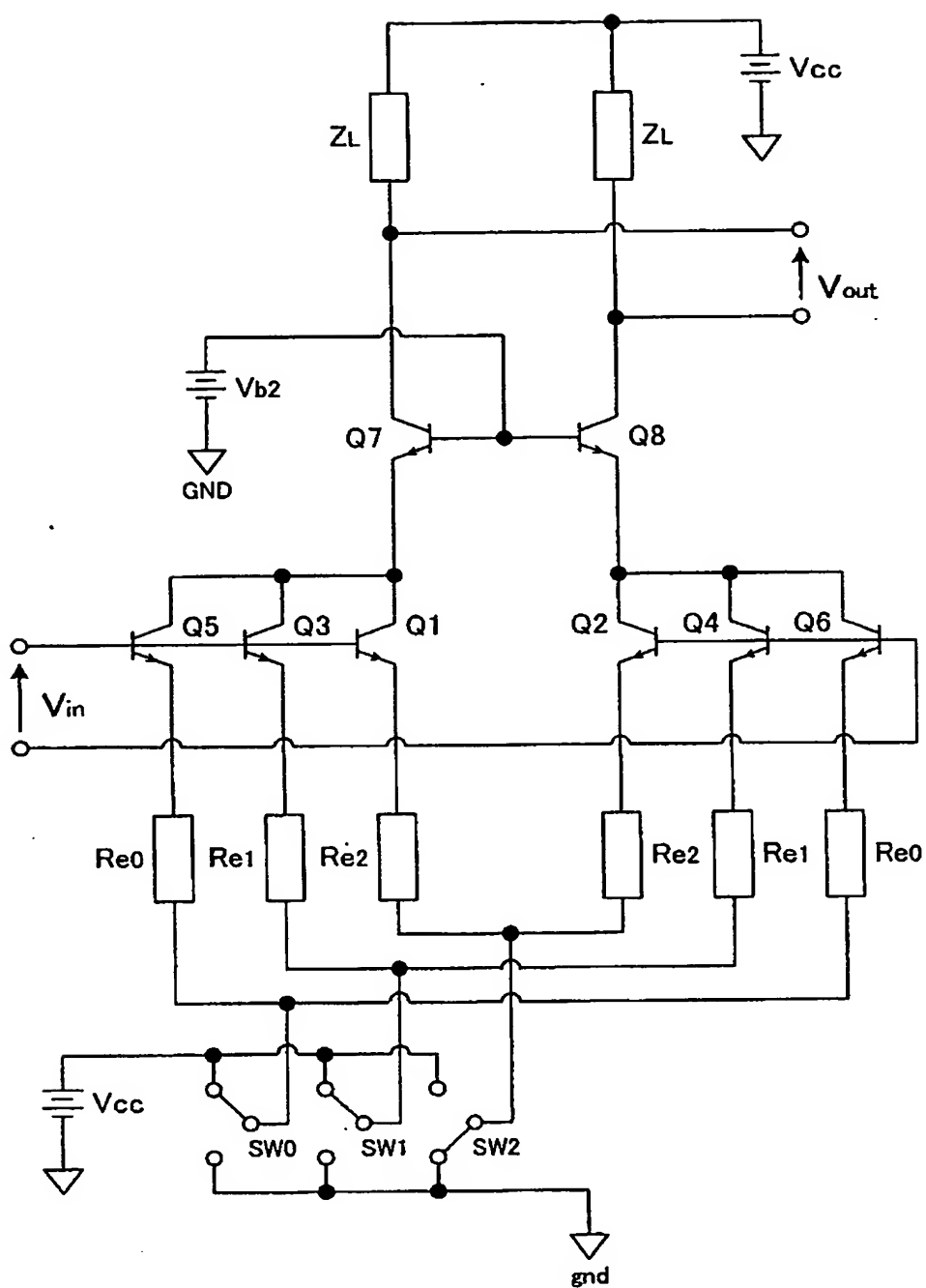
【図 17】



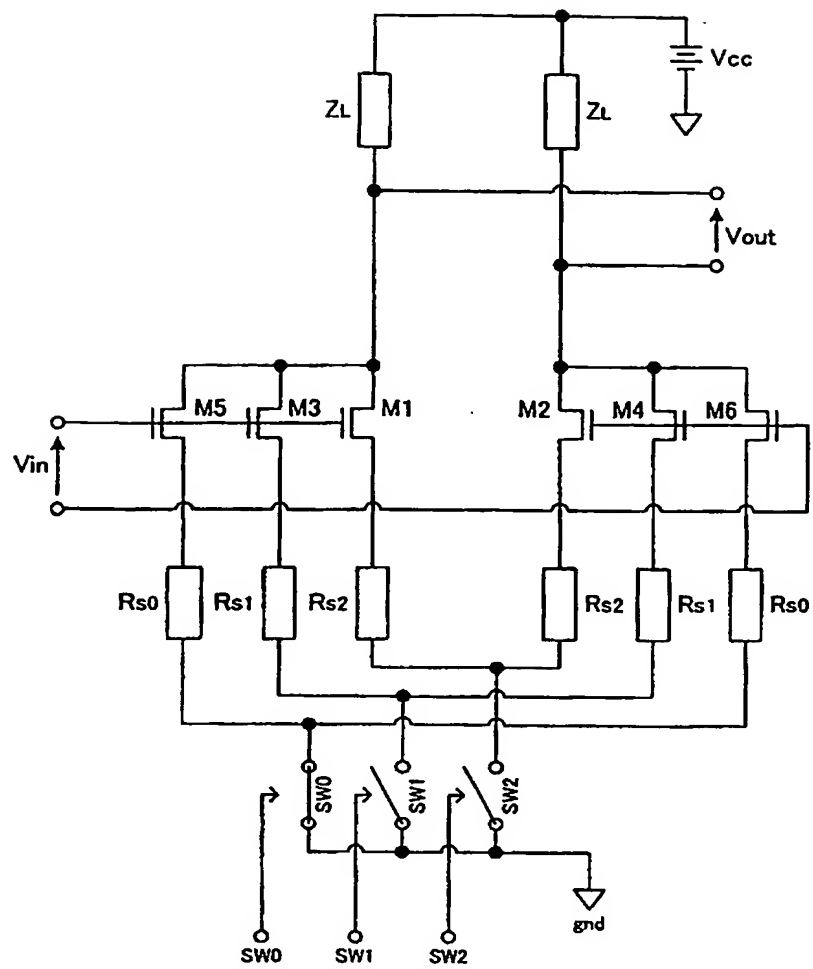
【圖 18】



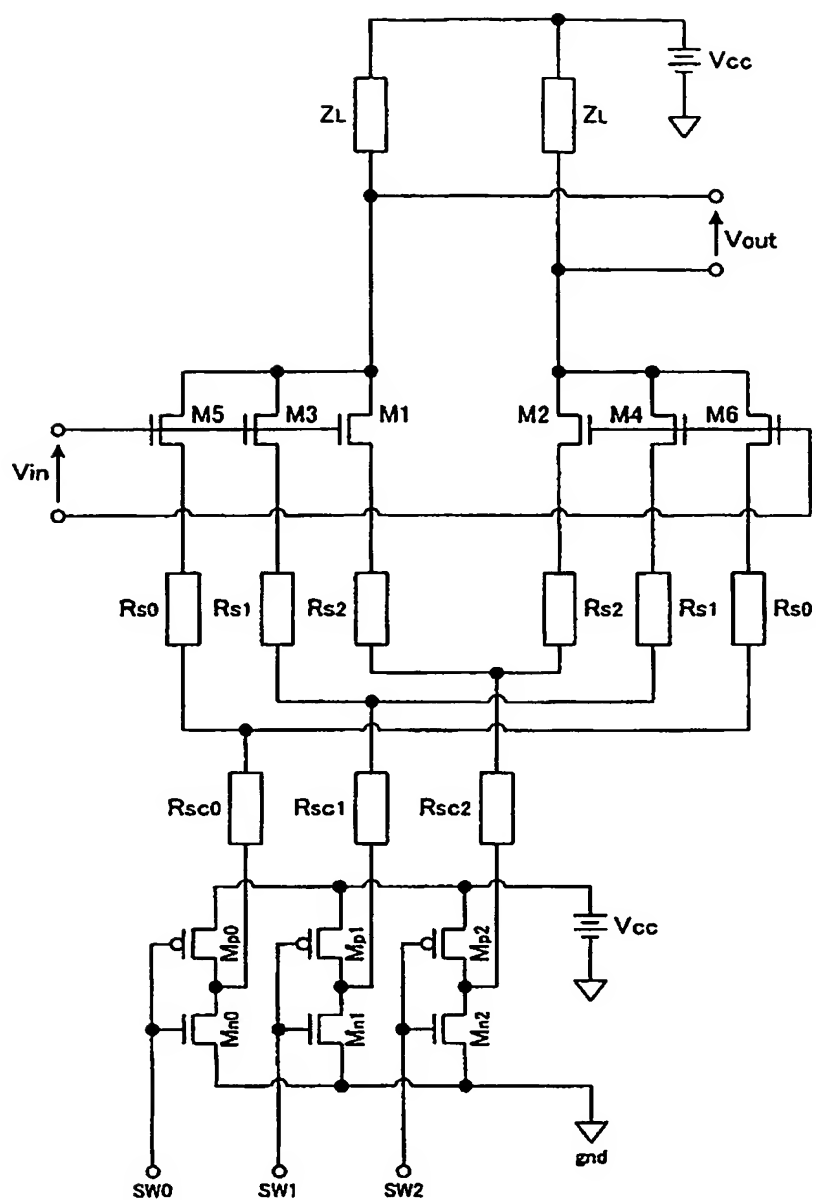
【図 20】



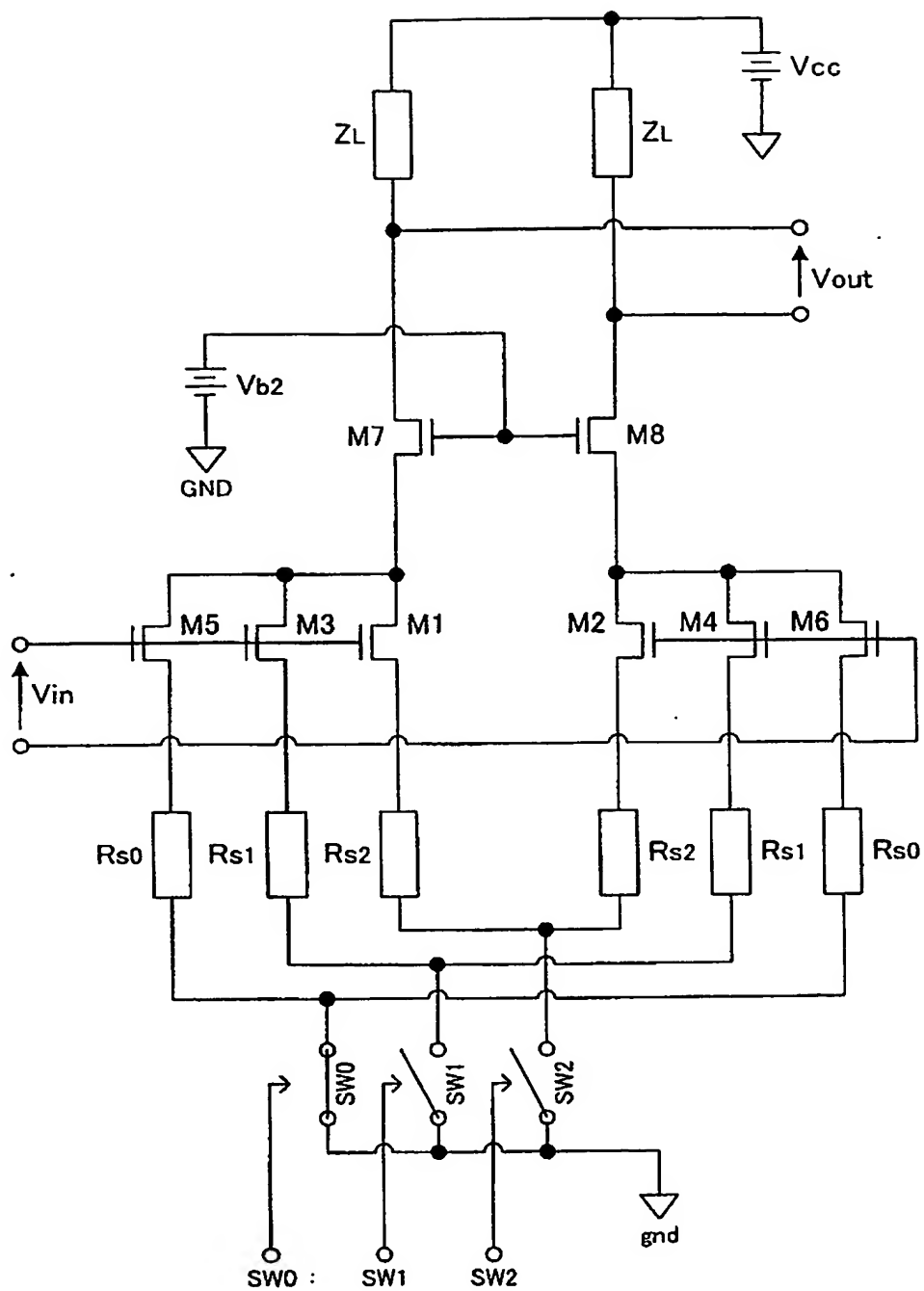
【図 2 1】



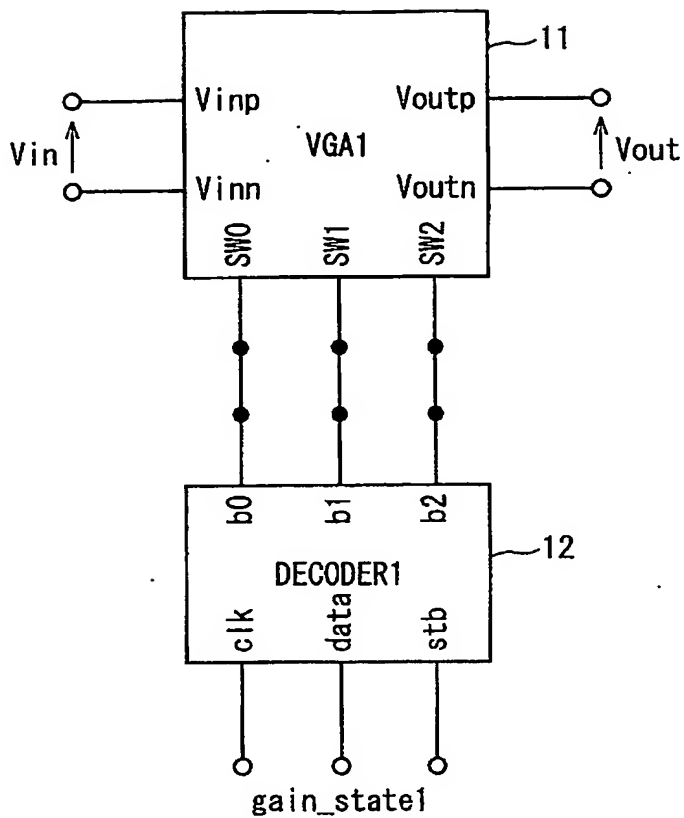
【図 22】



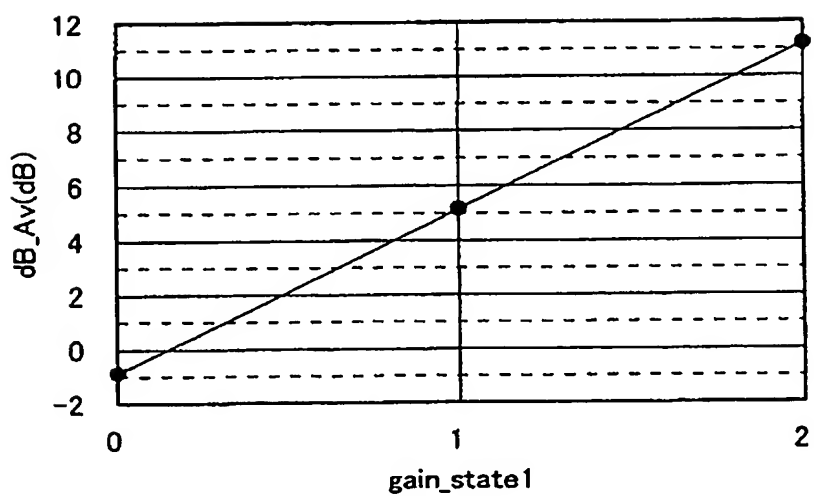
【図 23】



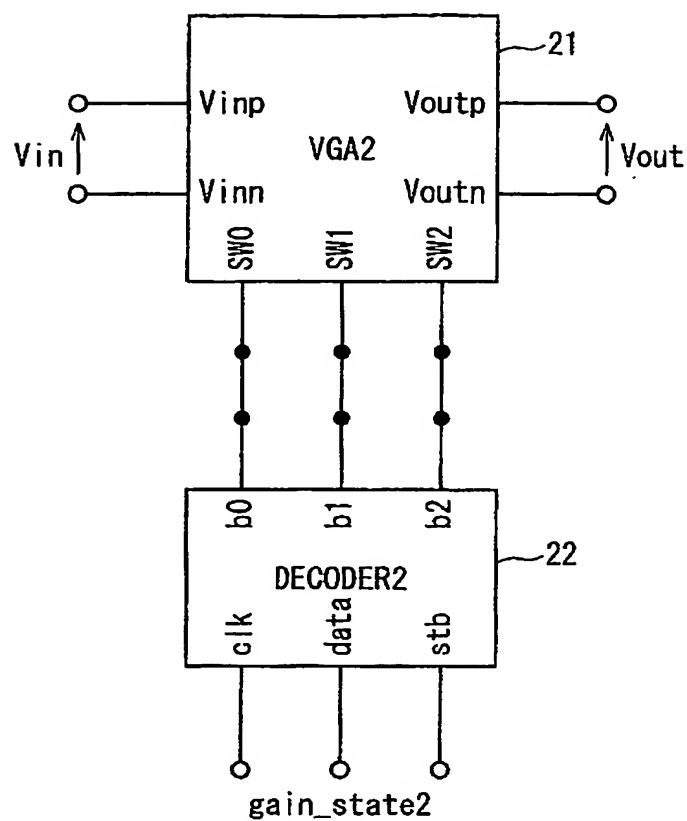
【図25】



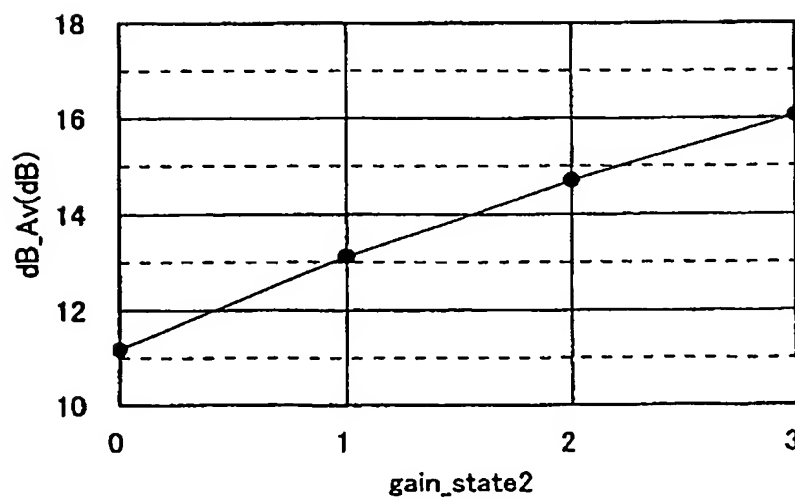
【図26】



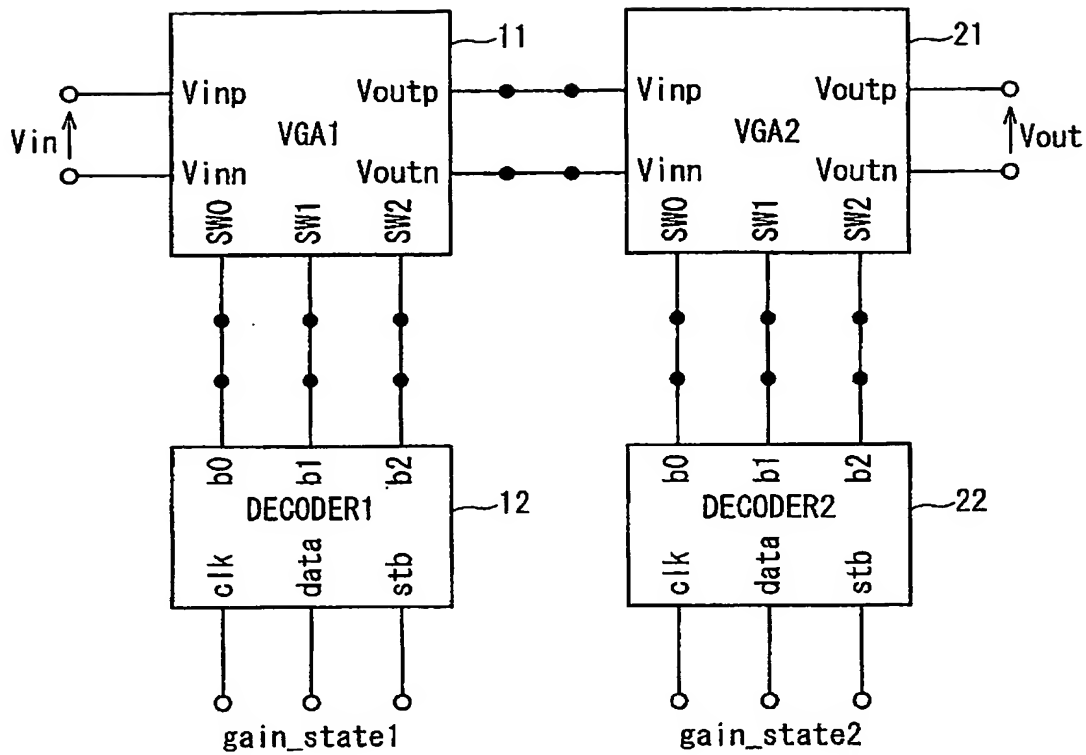
【図 27】



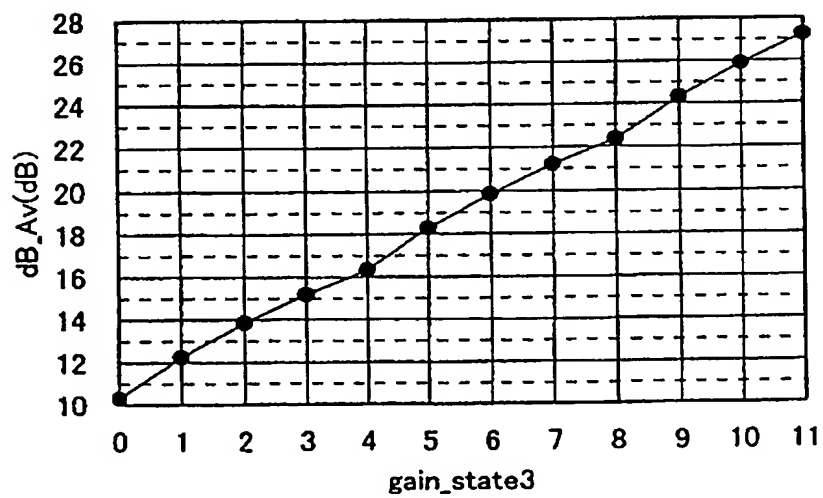
【図 28】



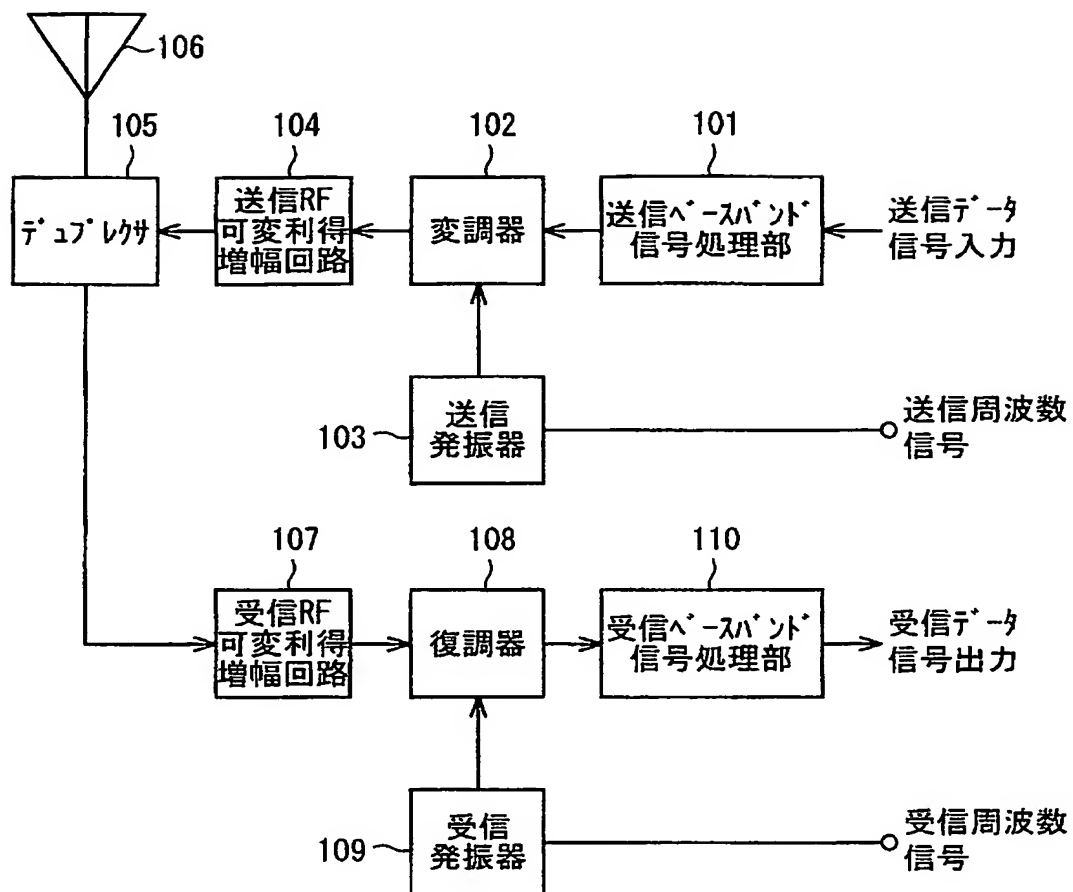
【図 29】



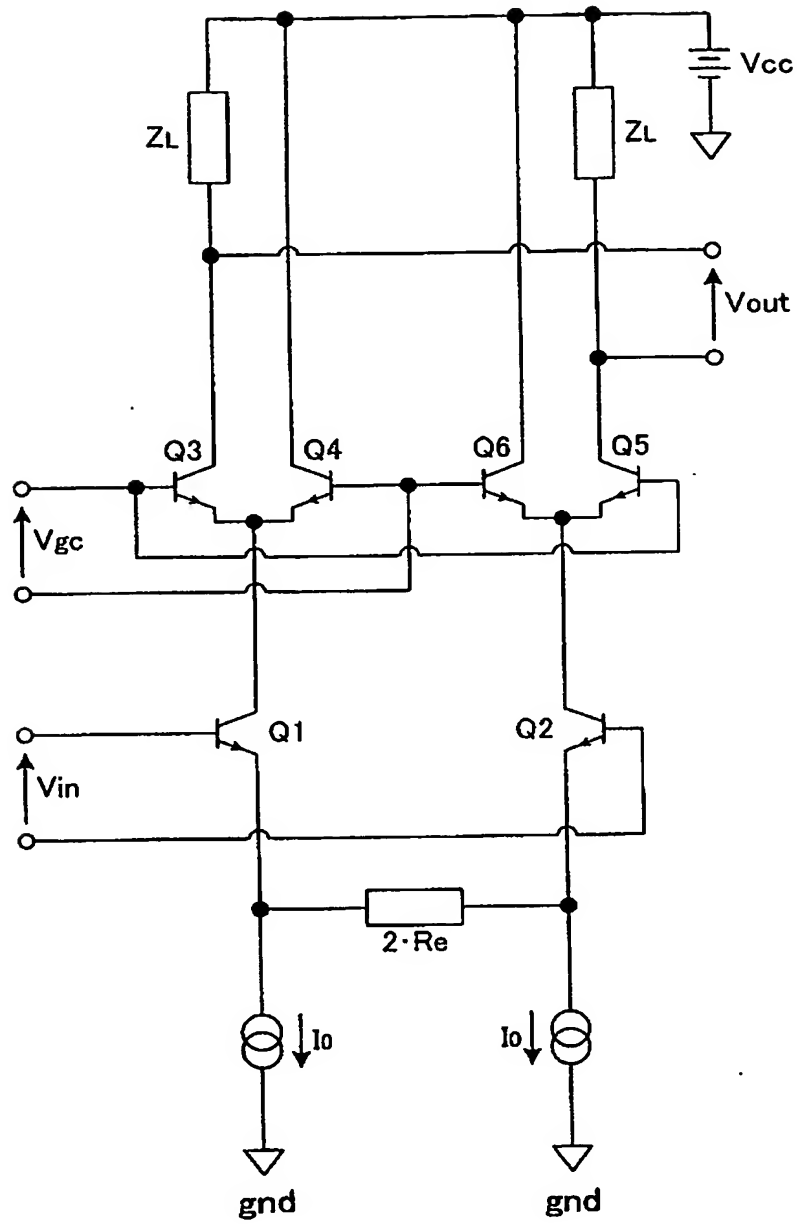
【図 30】



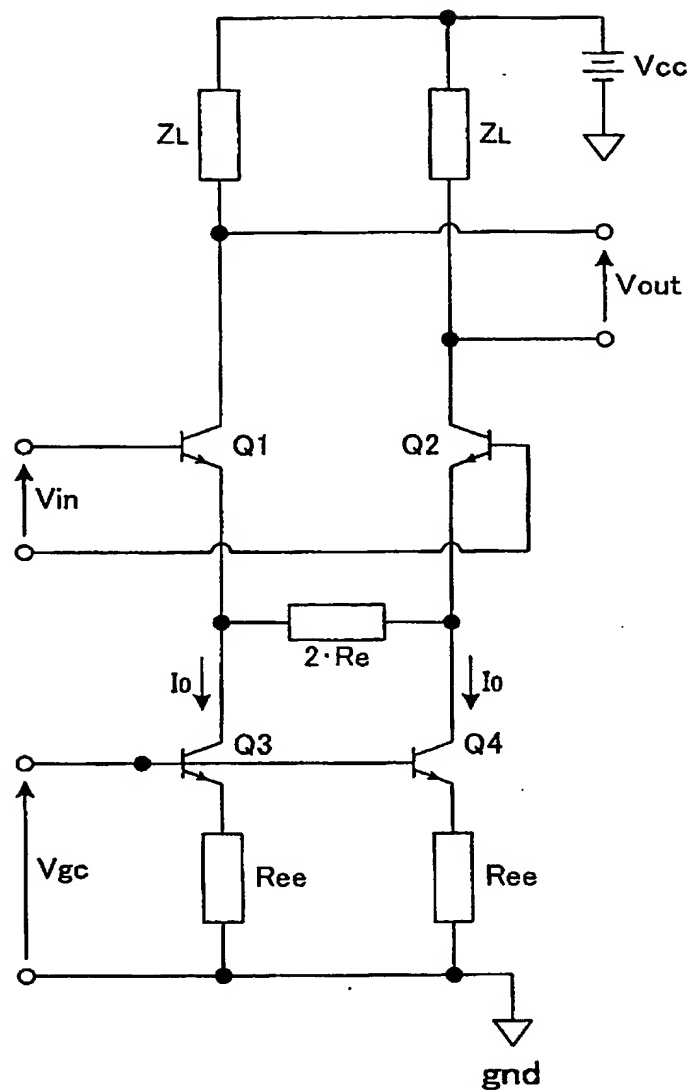
【図 31】



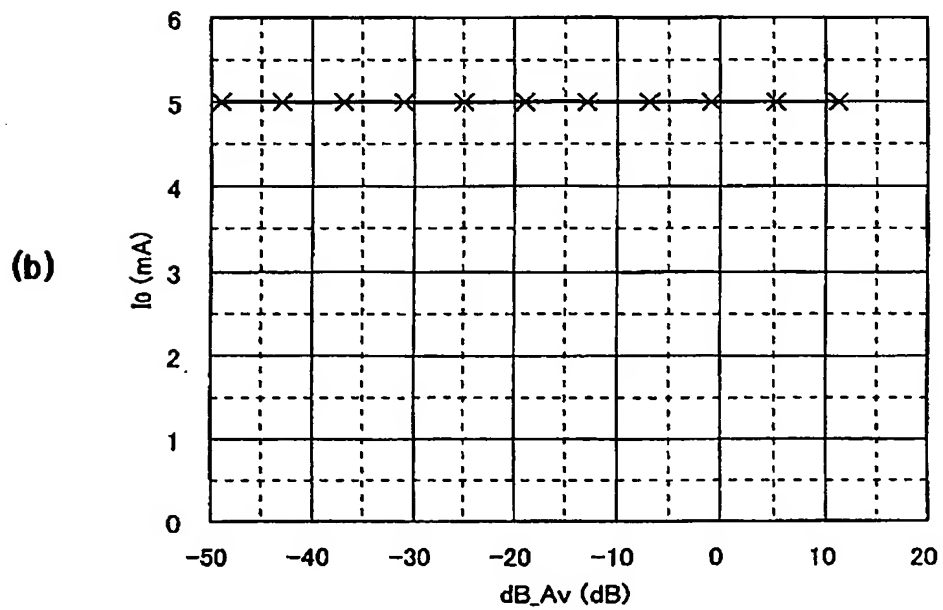
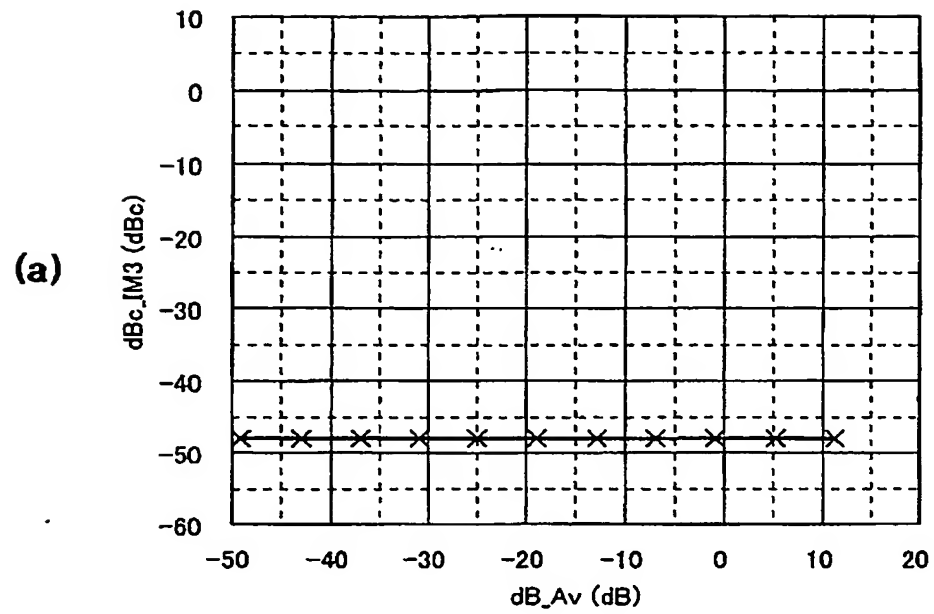
【図 32】



【図 3 3】

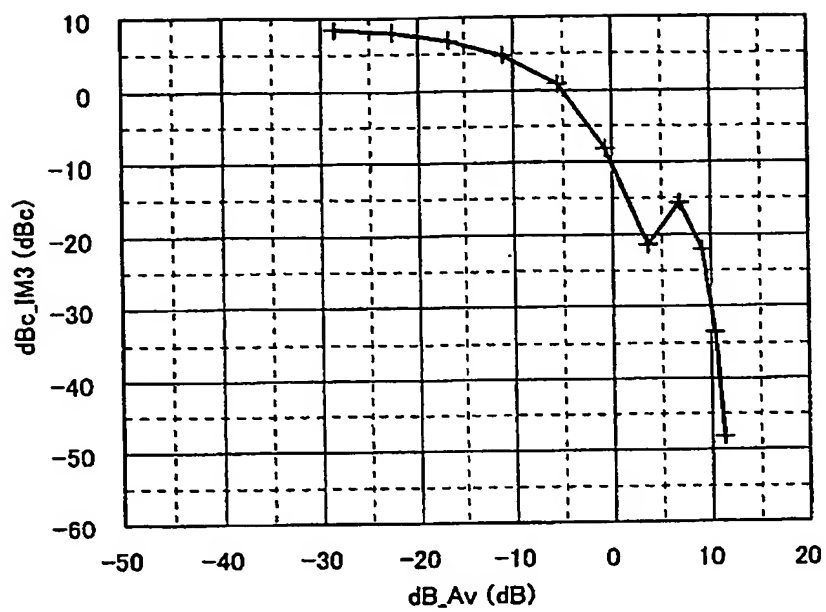


【図 35】

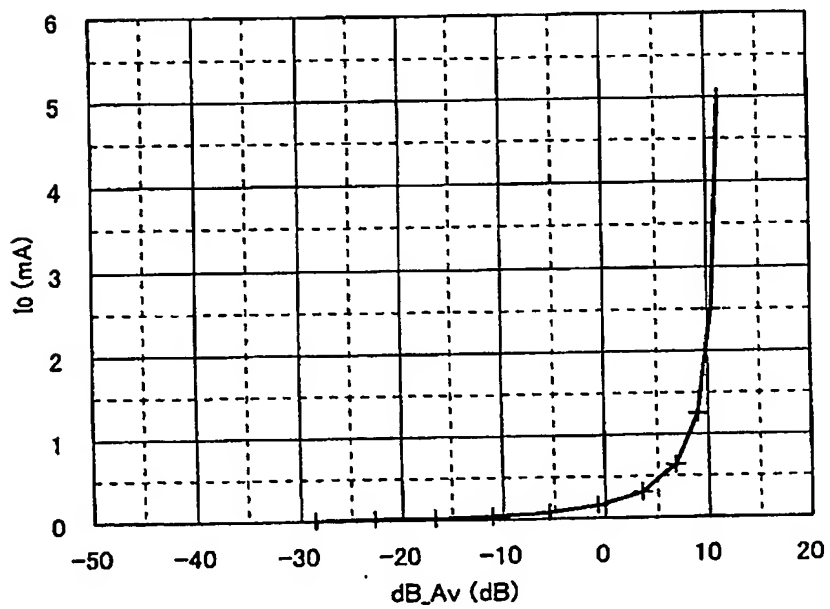


【図 36】

(a)



(b)



【書類名】 要約書

【要約】

【課題】 電圧利得を下げたときに電流が減少し、かつ歪み特性の劣化が実質的にない可変利得増幅回路を提供する。

【解決手段】 複数のエミッタ接地増幅回路を構成するバイポーラトランジスタ $Q1$ 、 $Q3$ 、 $Q5$ 及び $Q2$ 、 $Q4$ 、 $Q6$ のベースを共通とし、バイポーラトランジスタのエミッタ側にそれぞれスイッチ $SW2$ 、 $SW1$ 、 $SW0$ を設けて構成する。スイッチ $SW2$ 、 $SW1$ 、 $SW0$ を切り替えてエミッタ側を接地電位 gnd にすることにより、電圧利得の異なるエミッタ接地増幅回路を選択して電圧利得を制御する。また、各エミッタ接地増幅回路の間でコレクタ電流 $I0$ とエミッタ抵抗 R_e をそれぞれ異なる値とし、コレクタ電流 $I0$ の比がエミッタ抵抗 R_e の比に反比例するように設定することにより、電圧利得を下げたときにコレクタ電流 $I0$ が減り、かつ歪み特性の劣化を実質的になくすることができる。

【選択図】 図1

特願 2003-006171

出願人履歴情報

識別番号

[000005821]

1. 変更年月日

1990年 8月28日

[変更理由]

新規登録

住 所

大阪府門真市大字門真1006番地

氏 名

松下電器産業株式会社

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☒ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.